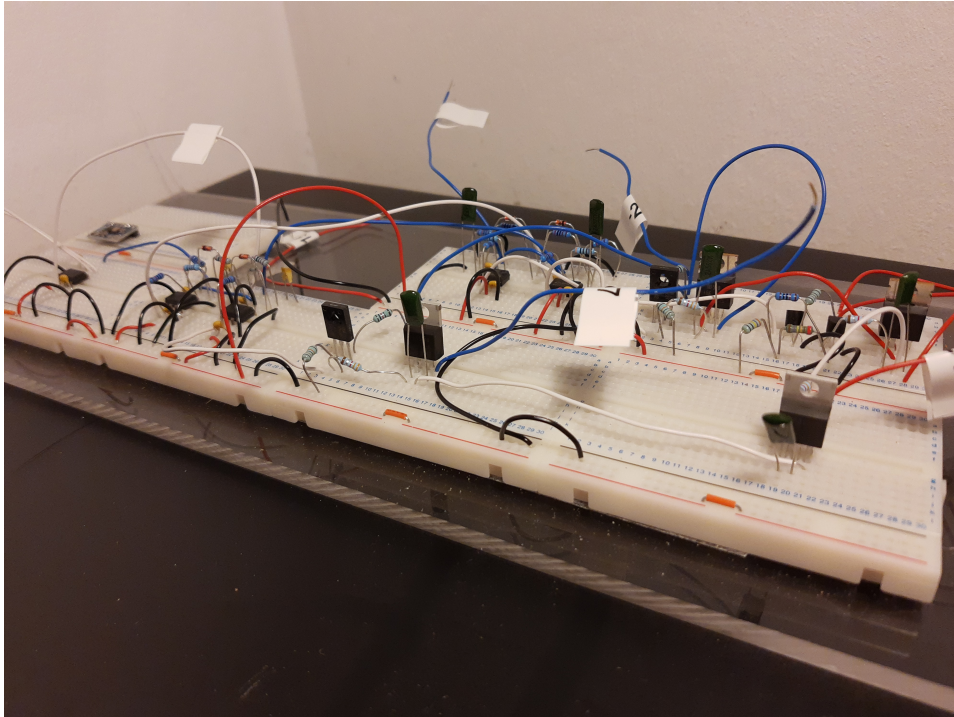


AALBORG UNIVERSITET



BACHELOR I ELEKTRONIK

Laboratorie Strømforsyning

Forfattere:
Magnus Munk Jensen &
Jacob Lindholm Jürgensen

Vejleder:
JAN & ONDREJ

06/01/2021



AALBORG UNIVERSITET
STUDENTERRAPPORT

**Syvende Studieår v/ Det Tekniske
Fakultet for IT og Design**

Elektronik og IT

Fredrik Bajers vej 7B

9000 Aalborg

<http://www.es.aau.dk>

Titel:

Laboratorie strømforsyning

Projekt:

Bachelor

Projektperiode:

September 2020 - Januar 2021

Deltagere:

Jacob Lindholm Jürgensen
Magnus Munk Jensen

Vejleder:

Jan H. Mikkelsen
Ondrej Franek

Antal sider: 164

Bilag fra side 129-164

Afsluttet: 06/01/2021

Synopsis:

Projektet er et bachelor projekt, udført af Jacob L. Jürgensen, og Magnus M. Jensen, i samarbejde med DEIF A/S. Projektet går ud på at lave en laboratorie spændingsforsyning, og konstantstrømsgenerator som er EMC resistent. Omfanget af projektet var større end forventet, derfor er design af spændingsforsyningen prioriteret. Gennem rapporten vil relevant teori, som EMC teori, blive beskrevet, og udregninger beskrives. Der vil også blive gennemgået forskellige løsningsmuligheder, og med vurdering af bedst anvendelige konstruktionsløsninger til opgaven. Løsningen blev at lave et klasse D udgangstrin, med fokus på diskrete MOSFET drivere, og et veludviklet udgangsfilter. Målinger på konstruktionen, som blev bygget som open-loop løsning, stemmer overens med forudgående simuleringer og beregninger.

Denne rapport er et 7. semester projekt, på AAU.

Projektets fokus er på analog elektronik, for at skabe en EMC resistent laboratorie strømforsyning.

Kildehenvisninger i rapporten står opgjort som [nummer]. Har et billede, eller en figur ingen kildehenvisning er det fordi det er et originalt billede lavet af gruppen.

Gruppen vil gerne sige tak til DEIF A/S, for den spændende opgave.

0.1 Ordforklaring

- RMS: Root mean squared, defineret som $U_{\text{RMS}} = \frac{U_{\text{peak}}}{\sqrt{2}}$
- $V_{\text{LN}}[RMS]$: Spænding mellem nul og fase, altid i RMS medmindre andet er angivet.
- $V_{\text{LL}}[RMS]$: Spænding mellem 2 faser, altid i RMS medmindre andet er angivet.
- EUT : Equipment Under Test.
- DUT : Device Under Test.
- EMC : Elektromagnetisk kompatibilitet.
- CAS: Computer Algebra System
- Electrostatic Discharge (ESD) - nævnes i rapporten som Elektrostatisk afladning.
- I alle simuleringer gælder, at $R_L = 1M\Omega$, for spændingsgeneratoren.
- I alle simuleringer gælder, at $R_L = 1m\Omega$, for strømgeneratoren.

Indholdsfortegnelse

0.1	Ordforklaring	iii
1	Indledning	1
1.1	Indledning	1
1.2	Projektforslag fra DEIF	1
1.3	Problemformulering	2
2	AC Teori	3
2.1	3 faset vekselspænding	3
3	Beskrivelse af EMC	9
3.1	Elektrostatisk afladning(ESD)	9
3.2	Burst	10
3.3	Overspænding	12
3.4	1 MHz test	13
3.5	Total Harmonisk Forvrængning	15
4	Krav	17
4.1	Spændingsgenerator	17
4.2	Strømgenerator	17
4.3	Afgrænsning	18
5	Løsningsforslag spændingsforsyning	19
5.1	Spændingsforsyning	19
6	Teori	27
6.1	MOSFET	27
6.2	Filter	28
6.3	MOSFET driver	31
6.4	Dead time	33
6.5	Sinus PWM	34
7	Design af klasse D spændingsgenerator	39
7.1	Valg og design af sinus generator	39
7.2	Faseforskydning af signal og design af kredsløb	43

7.3	Generering af PWM signal	51
7.4	Bestemmelse af udgangsfilter, og komponenter	53
7.5	Valg af udgangstopology	66
7.6	Bestemmelse af nødvendig dead time, og design af kredsløb	74
7.7	Design af en low side driver	78
7.8	Design af high side driver	83
7.9	Tilbagekobling	94
8	Test af designet open loop prototype	99
8.1	32V prototype rev. 1	99
8.2	Kortslutning af udgangen i 100 V systemet	103
9	Design rev 1.1	105
9.1	Løsning på kortslutning af udgangen	105
9.2	Parasitic turn on	107
9.3	Et nyt dead time kredsløb og en ny high side driver	109
9.4	Simuleringer af ny high side driver	116
9.5	Test af high side driver rev. 2	118
9.6	Ny diskret klasse D	118
10	Diskussion	121
11	Konklusion	125
	Kildeliste	127
Bilag A	Journaler	131
A.1	XR2206	131
A.2	Målejournal AD9833	134
A.3	Målejournal af komparator	137
A.4	Open loop klasse D test	140
A.5	Test af High Side Driver, for at finde parasitic turn on	142
A.6	Test af 32V open loop Klasse D spændingsforsyning	147
Bilag B	Forsyningsspænding til spændingsgenerator	153
B.1	Spændingsforsyning til udgangstrinnet	153
Bilag C	Forsinket tilkobling af udgangen	157
C.1	Forsinket tilslutning af udgangen	157
Bilag D	Konstantsstrømsgenerator	161
D.1	Konstantsstrømsgenerator	161

Kapitel 1

Indledning

1.1 Indledning

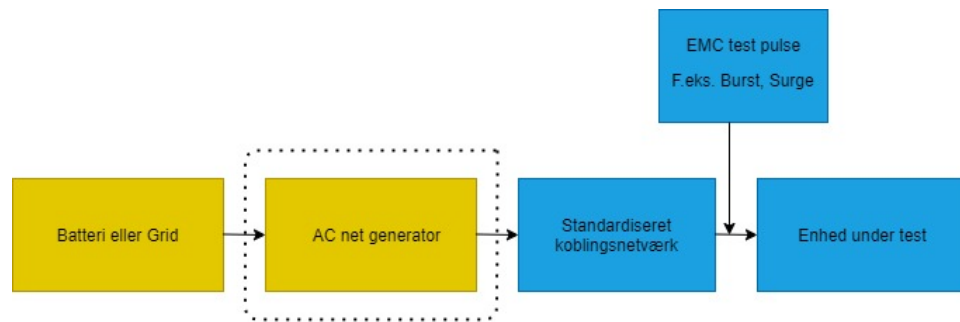
Denne rapport omhandler 7. semester bachelor projekt udført af Magnus M. Jensen og Jacob L. Jürgensen på uddannelsen Elektronik. Projektet laves i samarbejde med DEIF A/S (DEIF) som begge studerende har været i praktik hos på 6. semester. Projektforslaget er stillet af DEIF og omhandler designet af en stabil spændings-og strømforsyning som ikke lader sig påvirke af EMC eller spændingsændringer på el-nettet.

1.2 Projektforslag fra DEIF

Ved DEIF har man nogle standardiserede tests, hvor man anvender en 3 faset spændingsforsyning og en 3 x 1A strømgenerator. Den nuværende løsning hos DEIF er lavet på en sådan måde at spændingen på udgangssiden er afhængig af spændingen på indgangssiden (netspændingen). Dette betyder at hvis netspændningen ændrer sig, så ændrer testresultaterne sig - nogle gange i sådan en grad at man er nød til at gentage testen.

Netspændingen kan f.eks. ændre sig hvis køkkenet hos DEIF tænder for deres ovne, eller hvis der er mange i byen som begynder at bruge elnettet.

Ydermere er det sådan at disse standardiserede tests er EMC tests, hvor produktet der testes udsættes for EMC påvirkninger som f.eks. bursts, surge, osv. Dette må strømforsyning heller ikke lade sig påvirke af, da testene så heller ikke kan bruges. På figur 1.2.1 ses projektforslaget fra DEIF. Figuren viser hvordan opkoblingen er, af den i problemformuleringen ønskede AC generator, markeret med en stiplet linje, samt hvor EMC tests bliver tilkoblet. Figuren som projektet tager udgangspunkt i er markeret med en stiplet linje



Figur 1.2.1: Figur over projekt fra DEIF.

1.3 Problemformulering

Hvordan kan man designe en stabil strømforsyning og strømgenerator, der ikke lader sig påvirke af ændringer på elnettet/batteri/etc. og samtidig ikke lader sig påvirke af EMC test?

Kapitel 2

AC Teori

For at forstå hvad produktet skal, forklares først hvad 3 faset vekselspænding (AC) egentlig er.

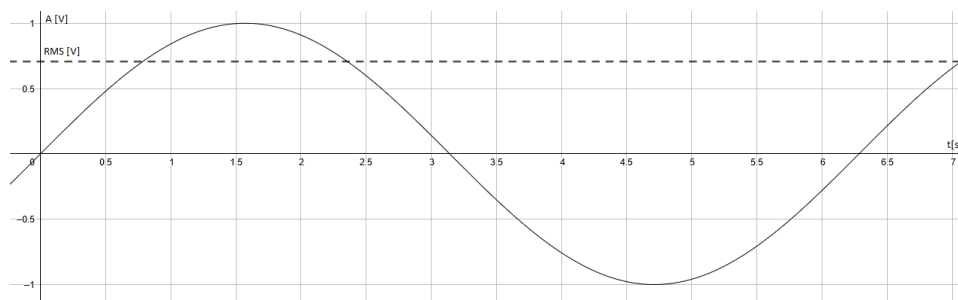
2.1 3 faset vekselspænding

Vekselspænding er en sinus spænding hvor amplituden svinger mellem en positiv og en negativ spænding, ved 50 Hz i Europa. 50 Hz , hvilket svarer til 50 sinus svingninger svingninger pr. sekund. Ved 1 faset AC er der en nul leder, og en fase leder. Nul lederen er forbundet til jord, hvorfor der kan måles 0 V herpå, mens der samtidig kan måles en vekselspænding på fasen.

RMS værdien for vekselstrøm er givet ved:

$$\frac{V_{peak}}{\sqrt{2}} = V_{RMS} \quad (2.1.1)$$

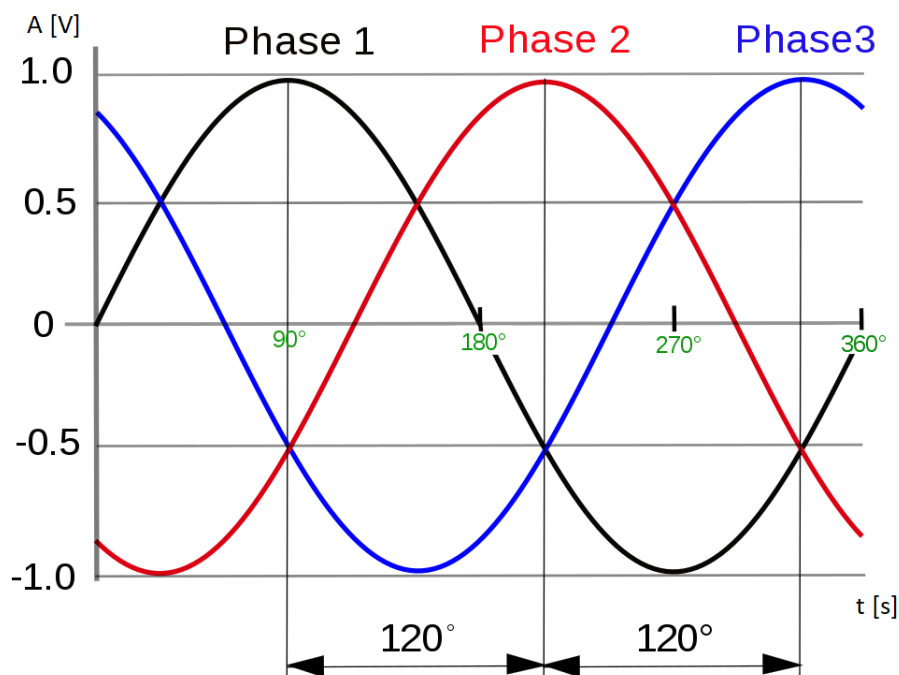
Figur 2.1.1 viser en model for vekselspænding:



Figur 2.1.1: Model for 1 faset vekselspænding.

hvor,
Amplituden er givet i volt [V].
Den stiplede linje viser værdien for RMS spændingen.

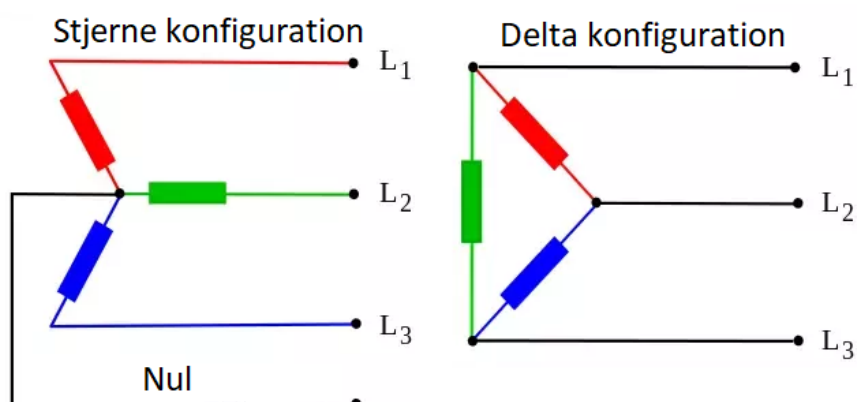
Hvis man har 3 faser, gælder det at de indbyrdes er faseforskudt 120° , som vist på figur 2.1.2:



Figur 2.1.2: Model for 3 faset vekselspænding [1].

hvor,
Amplituden er givet i volt [V].

Har man 3 faset AC gælder det ikke nødvendigvis at man har 3 faser og nul, da man kan have enten Delta konfiguration, eller Stjerne konfiguration, som vist på figur 2.1.3:



Figur 2.1.3: Model for henholdsvis Stjerne & Delta konfiguration [1].

Hvis man har en Delta konfiguration gælder det at:

$$\begin{aligned} V_{LL} &= V_{LN} \\ I_{LL} &= \sqrt{3} \cdot I_{LN} \end{aligned} \quad (2.1.2)$$

hvor,

V_{LN} står for $V_{\text{Line-Neutral}}$

V_{LL} står for $V_{\text{Line-line}}$

hvor for Stjerne konfiguration gælder det at:

$$\begin{aligned} V_{LL} &= \sqrt{3} \cdot V_{LN} \\ I_{LL} &= I_{LN} \end{aligned} \quad (2.1.3)$$

hvor,

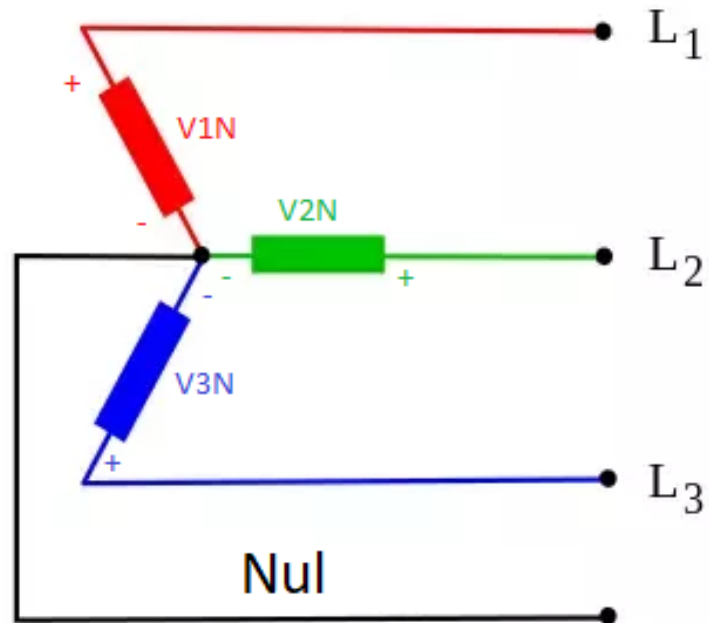
I_{LN} står for $I_{\text{Line-Neutral}}$

I_{LL} står for $I_{\text{Line-line}}$

På baggrund af at DEIF ønsker at forsyningen har 3 faser og nul, arbejdes der videre med stjernekonfigurationen[2][3].

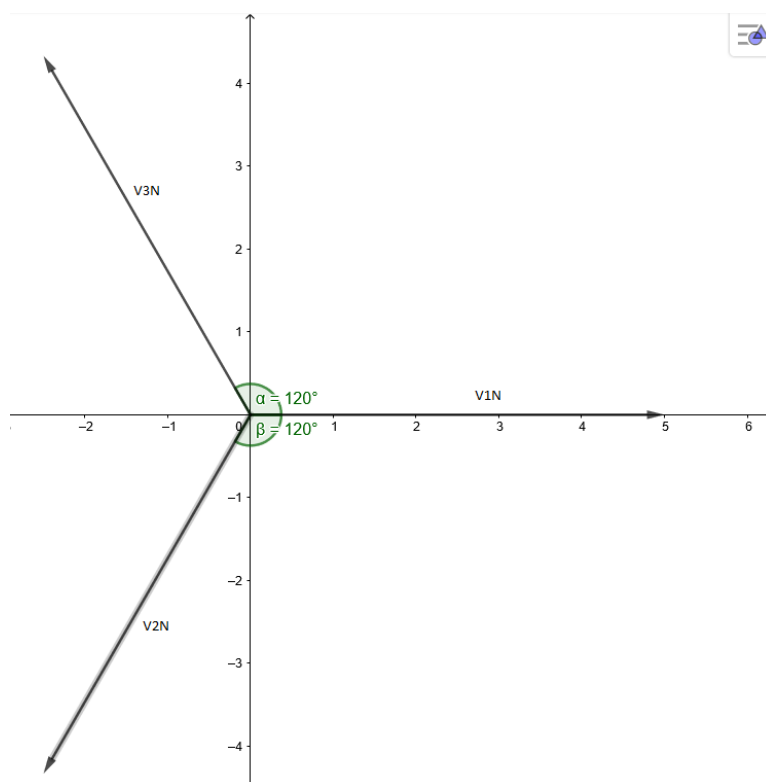
2.1.1 Bevis for forhold mellem line-line og line-neutral

Vi ser på hvorfor at $V_{LL} = \sqrt{3} \cdot V_{LN}$. Stjernekonfiguration er vist på figur 2.1.4:



Figur 2.1.4: Modificeret udgave af model fra [1].

Det bliver tegnet som vektorer på figur 2.1.5:



Figur 2.1.5: 3 faset vekselstrøm tegnet som vektorer.

Spændingen mellem $V1N$ og $V2N$ kan beskrives som:

$$V_{12N} = V_{1N} - V_{2N}$$

På vektor form bliver det:

$$\widehat{V_{12N}} = (|V|\angle 0^\circ) - (|V|\angle 120^\circ)$$

Størrelsen V er den samme, da spændingerne blot er fase forskudt. Skrevet på rektangulær form bliver det:

$$\widehat{V_{12N}} = (|V|\cos(0^\circ) + i|V|\sin(0^\circ)) - (|V|\cos(-120^\circ) + i|V|\sin(-120^\circ))$$

$$\widehat{V_{12N}} = (|V|1 + i|V|0) - (|V|(-\frac{1}{2}) + i|V|(\frac{-\sqrt{3}}{2}))$$

$$\widehat{V_{12N}} = (|V| + 0) - (|V|(-\frac{1}{2}) + i|V|(\frac{-\sqrt{3}}{2}))$$

$$\widehat{V_{12N}} = |V| + |V|(+\frac{1}{2}) + i|V|\frac{+\sqrt{3}}{2}$$

$$\widehat{V_{12N}} = |V|\frac{3}{2} + i|V|\frac{+\sqrt{3}}{2}$$

Da formelen ikke kan forkortes yderligere må det være spændingen mellem V1N og V2N på rektangulær form. Det er konverteret til polær i CAS, hvor fra det fås at:

$$\widehat{V_{12N}} = \sqrt{3}|V|\angle 30^\circ \quad (2.1.4)$$

Altså er det bevist at Line Line spændingen er kvadratrods 3 ($\sqrt{3}$) gange større end Line Neutral spændingen, samt at den er forskudt med 30° .

Kapitel 3

Beskrivelse af EMC

I følgende kapitel vil de forskellige Electromagnetic compatibility (EMC) begreber, elektrostatisk afladning (ESD), Burst, Surge og 1 MHz blive beskrevet. Begreberne dækker over forskellige tests af elektronisk udstyr, og skal simulere at et elektronisk apparat bliver påvirket af elektrostatisk afladning, lyn, m.m.

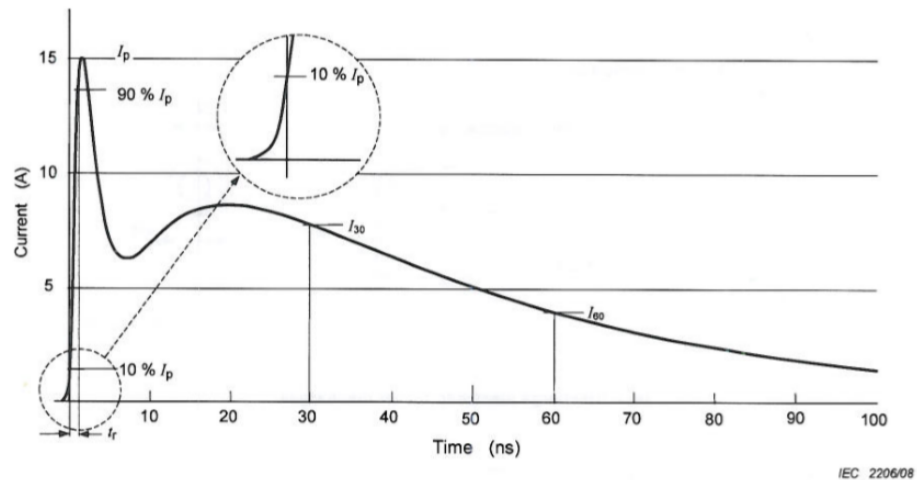
Der ses på begreberne for EMC som det første, for derigennem at kunne definere nogle målbare krav til konstruktionen.

3.1 Elektrostatisk afladning(ESD)

Elektrostatisk afladning er et fænomen der opstår når statisk elektricitet bliver flyttet mellem to genstande/objekter, f.eks. hvis en person som er statisk opladet rører et apparat. ESD er kendetegnet ved afladning af spændinger på op til 35 kV , med meget kort rise time. Når man tester i et laboratorie, testes normalt op til 8 kV [4] og strømmene der testes ved opnår peak værdier på op til 30 A [4].

ESD testene udføres med en ESD pistol. ESD pistolen påvirker et apparat med spændinger op mod 8 kV .

Det beskrevne kurveforløb, som beskrevet i IEC standarden, for en 4 kV ESD test, er vist på figur 3.1.1:



Figur 3.1.1: Det beskrevne kurveforløb for afladningsstrøm ved 4kV [4].

Man ser på tiderne når strømmen er på hhv. 10 % og 90 % af peak strømmen og man ser på strømmen til tiderne 30 ns og 60 ns. Testen udføres i 4 niveauer, som beskrevet i tabel 3.1.2:

Level	Indicated voltage kV	First peak current of discharge $\pm 15\%$ A	Rise time t_r ($\pm 25\%$) ns	Current ($\pm 30\%$) at 30 ns A	Current ($\pm 30\%$) at 60 ns A
1	2	7,5	0,8	4	2
2	4	15	0,8	8	4
3	6	22,5	0,8	12	6
4	8	30	0,8	16	8

The reference point for measuring the time for the current at 30 ns and 60 ns is the instant when the current first reaches 10 % of the 1st peak of the discharge current.

NOTE The rise time, t_r , is the time interval between 10 % and 90 % value of 1st peak current.

Figur 3.1.2: Strøm afladnings kurve parametre [4].

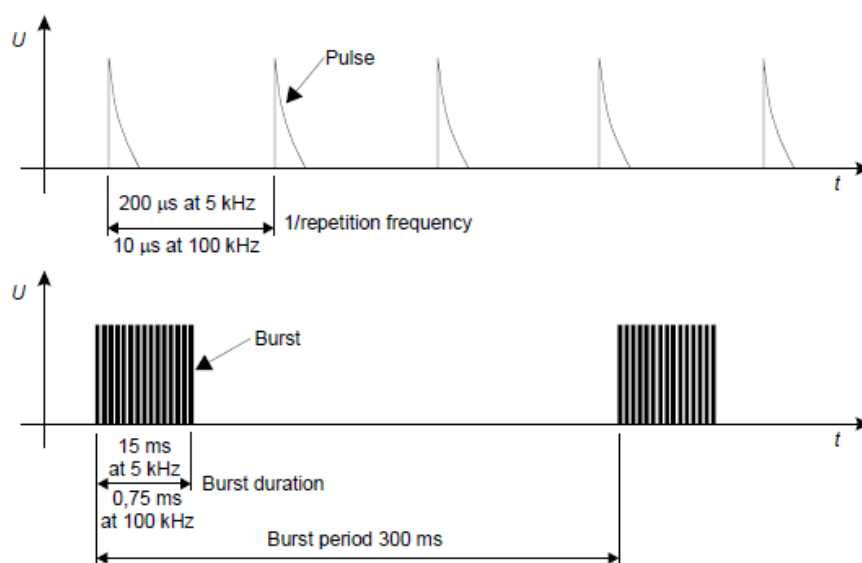
Det ses, at man påvirker apparatet mere og mere.

Denne test bliver udført på alt elektronik som en slutbruger, f. eks. en forbruger eller operatør i industrien kan komme i direkte kontakt med.

3.2 Burst

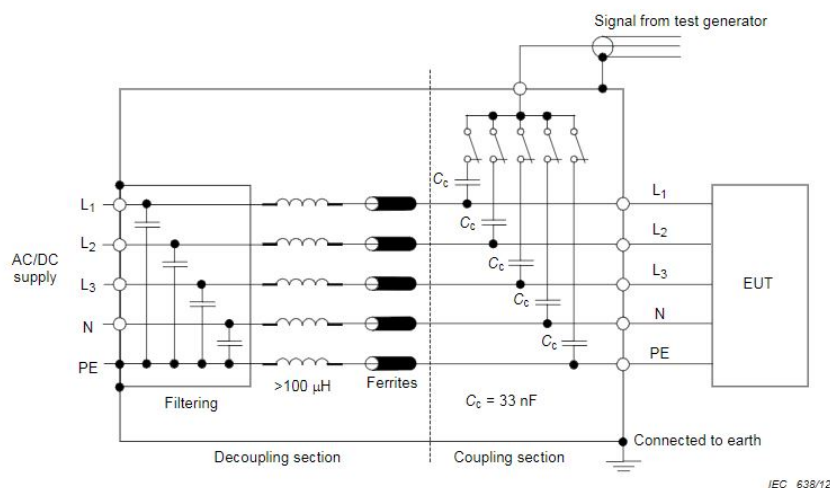
Electrical Fast Transient (EFT) forekommer når en induktiv belastning bliver afbrudt, når en relæ kontakt slutter og bryder, m.m. [5].

EFT testen bliver udført på alle fase forbindelser samt jord og på signalforbindelser, hvis sådanne forefindes. Testen bliver lavet, ved at påvirke DUT'en med en række af stimulipulser på op til 4 kV, gentagene gange [5]. Efter stimuli er der en pause, hvor efter testen køres igen. Princippet er vist på figur 3.2.1:



Figur 3.2.1: Repræsentation af elektrisk burst [5].

EFT generatoren bliver koblet på spændingsforsyningen til apparatet, som vist på figur 3.2.2. Koblingen mellem generator og strømindgang er kapacitiv koblet. Mellem EFT generator og strømforsyning er et standardiseret dekoblingsnetværk, som typisk er et LC lav pas filter. Det er meget vigtigt at der er lavet tilstrækkelig ground, samt en fælles reference ground plan[5].

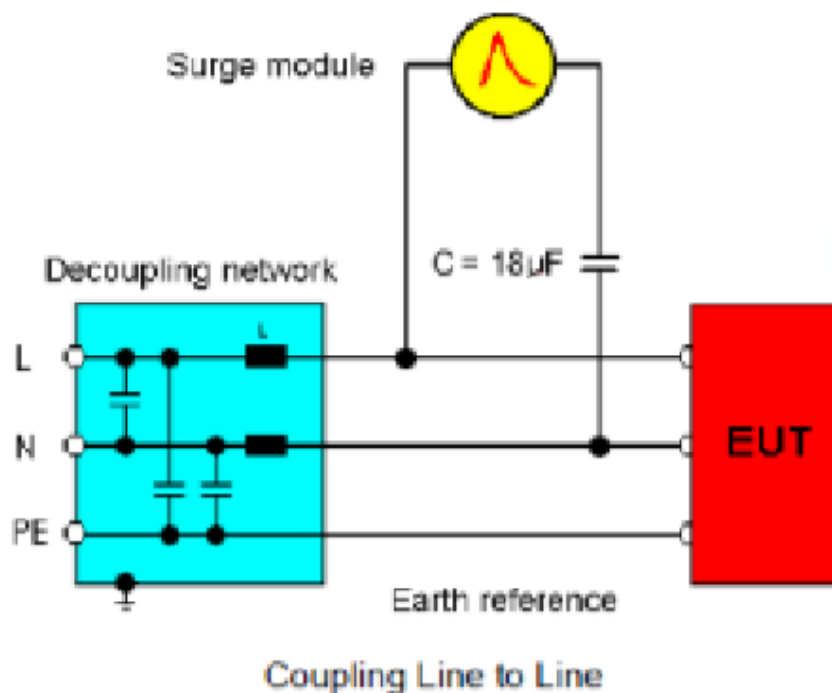


Figur 3.2.2: tilkobling af EFT generator [5].

3.3 Overspænding

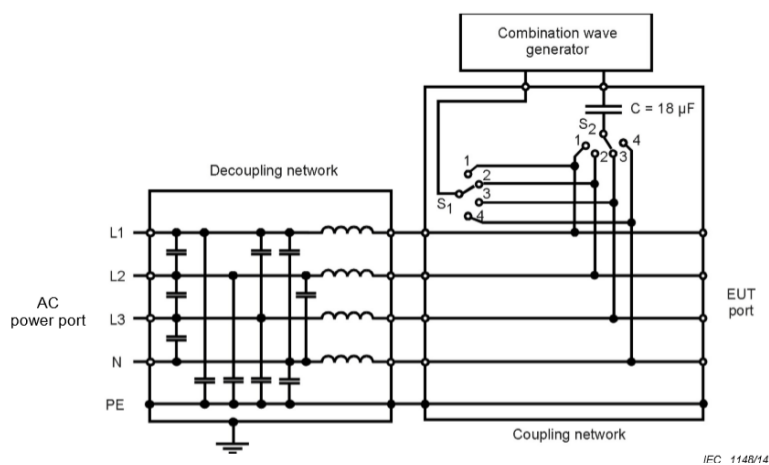
Overspænding af et produkt kan ske ved komponent fejl, lynnedslag, kortslutning til jord, m.m. Bliver et produkt udsat for overspænding kan de elektriske komponenter i produktet blive beskadiget, hvilket vil nedsætte produktets levetid, med deraf følgende konsekvenser som f. eks. tab af data eller funktionsfejl på produkter eller hele systemer [6].

Overspændingstesten udføres ved at påvirke spændingsindgangen på EUT gennem et veldefineret kabel på f.eks. 2Ω eller 40Ω med en serieimpedans på f. eks. $9\mu F$ eller $18\mu F$ [7]. Mellem EUT og strømforsyningen er der et standardiseret dekoplingsnetværk, så et 2 faset målesetup er som vist på figur 3.3.1:



Figur 3.3.1: Simpelt diagram der viser hvordan overspændingstesten tilsluttes EUT. Her er systemet 2 faset [7].

Når man tester på 3 faset systemer kan man enten lave testen mellem 2 faser, eller en fase og jord. For en test mellem 2 faser kan et setup være som vist på figur 3.3.2:

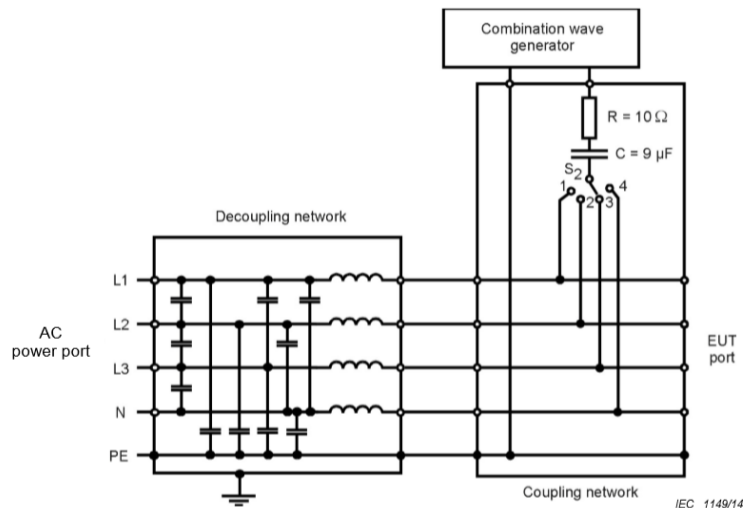


Figur 3.3.2: Simpelt diagram der viser hvordan overspændingstesten tilsluttes 3 faset spændingsforsyning. Der testes mellem to faser [6].

hvor,

S_1 & S_2 er for at skifte tilslutningen mellem de forskellige faser.

For en test mellem fase og jord kan et simplificeret setup se ud således,

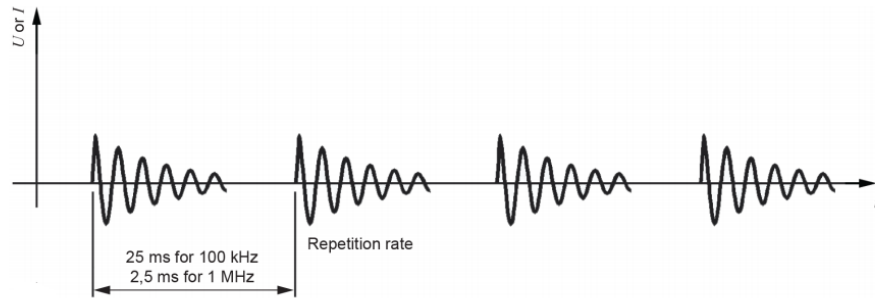


Figur 3.3.3: Simpelt diagram der viser hvordan overspændingstesten tilsluttes 3 faset spændingsforsyning. Der testes mellem fase og jord [6].

3.4 1 MHz test

1 MHz test har til formål at emulere skifterelæer og højspændingsafbryder på kraftværkerne. Første del af testen består af langsomt dæmpede oscille-

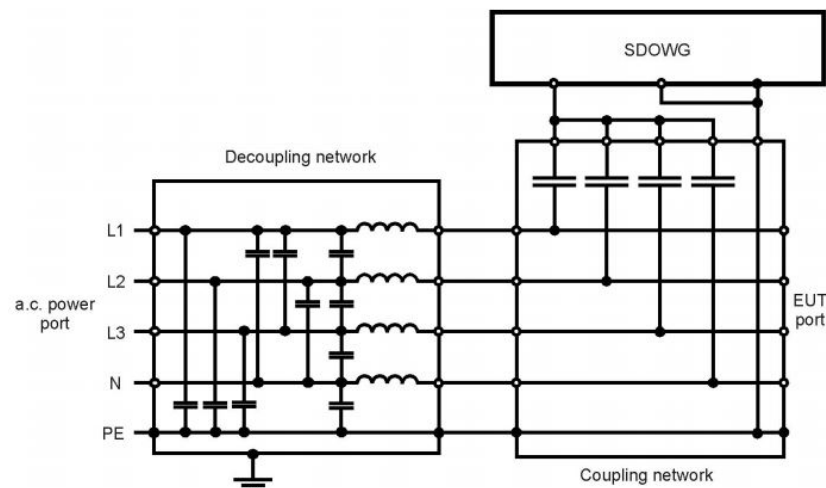
rende bølger vist på figur 3.4.1 og indeholder oscillerende frekvenser fra 1 kHz til 1 MHz med en amplitude på op til 2500 V [8].



Figur 3.4.1: Langsomt dæmpede oscillerende bølger [8].

Anden del har til formål at emulere et elektromagnetisk puls felt. Fel-tet interagerer med eksponerede transmissions ledninger som er placeret i højden. Det er med til at producere en oscillerende spænding samt strøm som afhænger af længden på den eksponerede ledning. Testen består af hurtig dæmpede oscillerende bølger som på figur 3.4.1. Repetitionerne af bølgerne er hurtigere og bruger oscillerende frekvenser over 1 MHz - 30 MHz op til 4000 V [8].

Opsætning af målesetup er vist figur 3.4.2, altså er forbindelsen mellem line og ground.



Figur 3.4.2: Eksempel på tilkobling for kapacitiv kobling på AC linjer, line to ground [8].

3.5 Total Harmonisk Forvrængning

Total Harmonisk forvrængning (THD) er et begreb man bruger til at beskrive kvaliteten af et signal. Det bruges til at beskrive systemer hvor man har en grundfrekvens, f.eks. strømforsyninger. Det bruges også til at beskrive f.eks. audio systemer, som arbejder i et større frekvensområde f.eks. $20 - 20.000 \text{ Hz}$ - i sådanne tilfælde angives THD ved enkelte grundtoner typisk gennem hele frekvensområdet og ved forskellig udstyring.

THD er defineret som ratioen af de tilstedeværende harmoniske forvrængninger, divideret med RMS værdien af grundtonen. Skrevet i procent bliver det altså:

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1} \cdot 100 \% \quad (3.5.1)$$

hvor,

V_n er den n 'te harmoniske forvrængning i volt.

V_1 er værdien af grundtonen, i volt.

2 er den 2. harmoniske forvrængning i volt.

Det er essentielt at spændinger måles i *enten* RMS eller Peak.

IEEE519 angiver, omkring elektriske power systemer, at THD må ligge på maksimalt 8 %, og at de individuelle harmoniske forvrængninger maksimalt må være 5 % [9].

I IEC61000-4-7 som omhandler EMC test, er beskrevet:

"The voltage harmonic distortion of the EUT test voltage U shall not exceed the following values with the EUT connected and operating under the specified test conditions: 0,9 % for harmonic of order 3; 0,4 % for harmonic of order 5; 0,3 % for harmonic of order 7; 0,2 % for harmonic of order 9; 0,2 % for even harmonics of order from 2 to 10; 0,1 % for harmonics of order from 11 to 40." [10]

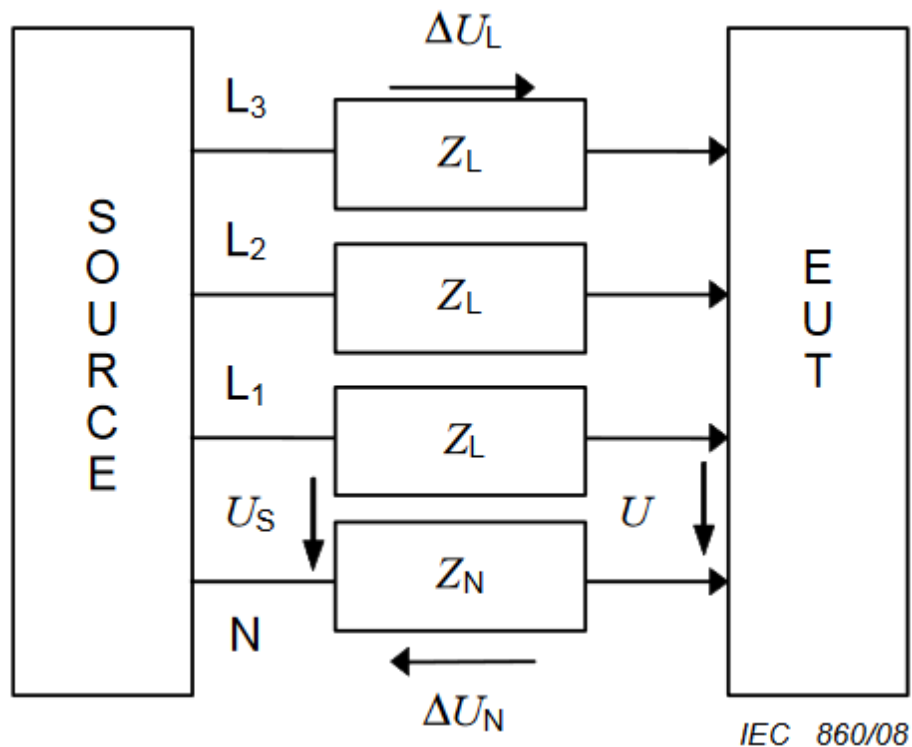
Sætter man værdierne fra IEC61000-4-7 ind i 3.5.1, fås:

$$THD = 0,559 \approx 0,56 \% \quad (3.5.2)$$

Altså er den maksimale THD værdi ifl. IEC6100-4-7 standarden lavere end den er i IEEE519.

3.5.1 Måling af THD

I IEC6100-4-7 er der beskrevet hvordan man skal måle THD. Målesetuppet for et tre faset system er afbilledet på figur 3.5.1:



Figur 3.5.1: Et 3 faset THD målesetup [10].

hvor,

$$U_S = V_{LN}$$

U er spændingen over EUT terminaler målt mellem nul og fase.

$Z_{L,N}$ er impedans i ledning og strømmåler.

ΔU er spændingsfaldet over både Z_L & Z_N , defineret som $\Delta U = \Delta U_L + \Delta U_N$

. Måles mellem to faser er det defineret som $\Delta U = 2 \cdot \Delta U_L$.

L1-L3 er faser.

N er nul.

For at testen er udført korrekt gælder det at,

V_{LN} er stabil $\pm 2\%$.

$f_{50\text{Hz}}$ er stabil $\pm 0,5\%$.

Fase relationen skal være $0^\circ, 120^\circ \pm 1,5^\circ, 240^\circ \pm 1,5^\circ$.

V_{peak} skal være mellem 1,404 og 1,424 gange RMS værdien.

$\Delta u < 0,5 V$.

Kravet fra 3.5 skal ydermere være overholdt.

Kapitel 4

Krav

Kravene til produktet opdeles i hhv. spændingsgenerator og strømgenerator. Kravene har til formål at hjælpe med at udvikle et produkt som på bedst mulig vis imødekommer DEIFs forventninger.

4.1 Spændingsgenerator

DEIF har stillet krav til hvad produktet skal kunne. Nogle af disse krav er strammere end kravene fra IEC standarderne hvorfor der tages udgangspunkt i disse. Ellers er kravene fra IEC61000 serien benyttet for, at sikre overholdelse af EMC kravene [4] [5] [6] [8] [10] .

4.1.1 Funktionelle krav

1. 3 faset AC, med nul.
2. EMC resistent, så performance må ikke påvirkes af Surge, Burst, ESD.
3. "Ren" sinus, med det forstås intet firkant signal, m.m.

4.1.2 Tekniske krav

1. Udgangsspænding: $100 V_{LL} \pm 0,1 \%$.
2. Skal kunne levere $1A @ 58 V_{LN}$
3. Frekvens: $50 \text{ Hz} \pm 1 \text{ mHz}$.
4. Fase relationen skal være $0^\circ, 120^\circ \pm 1,5^\circ, 240^\circ \pm 1,5^\circ$.
5. THD $< 0,55 \%$.

For alle kravene gælder det at de skal kunne opfyldes under normal drift såvel som under påvirkning fra definerede EMC tests.

4.2 Strømgenerator

4.2.1 Funktionelle krav

1. 3 faset AC strømgenerator.
2. EMC resistent, så må ikke påvirkes af Surge, Burst, ESD.
3. "Ren" sinus, med det forstås intet firkant signal, m.m.

4.2.2 Tekniske krav

1. Udgangsstrøm: $3 \times 1 \text{ A} \pm 0,1 \%$
2. Op til $100 V_{LL}$
3. Frekvens: $50 \text{ Hz} \pm 1 \text{ mHz}$
4. Fase relationen skal være $0^\circ, 120^\circ \pm 1,5^\circ, 240^\circ \pm 1,5^\circ$

For alle kravene gælder det at de skal kunne opfyldes under normal drift såvel som under påvirkning fra definerede EMC tests.

4.3 Afgrænsning

Opgaven fra DEIF lyder på at designe både en konstantspændingsforsyning, og en strømgenerator.

Med udgangspunkt i projektets omfang, prioriteres design af en konstantspændingsforsyning. Der er vedlagt et løsningsforslag om hvordan en strømgenerator kan designes, til DEIF i bilag D.1.

Kapitel 5

Løsningsforslag spændingsforsyning

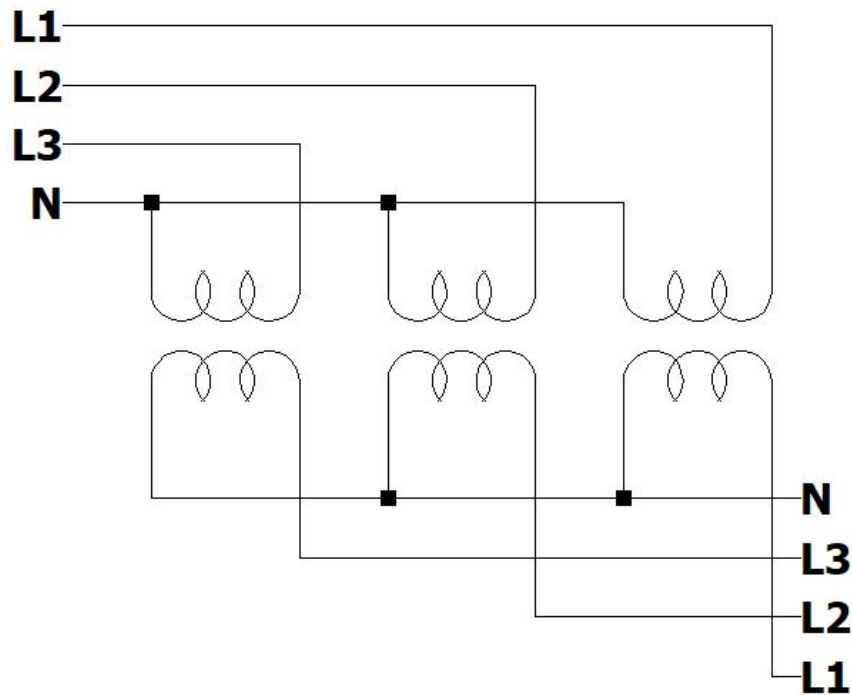
5.1 Spændingsforsyning

Følgende er løsningsforslag til hvordan der kan bygges en konstantspændingsforsyning. Den ideelle spændingsforsyning vil have en uendelig lav udgangsimpedans, og være uendelig strømstærk. Da dette ikke kan lade sig gøre sammenlignes følgende koncepter:

- En transformator (trafo).
- Klasse A/B udgangstrin med tilbagekobling.
- Klasse D udgangstrin, med tilbagekobling.
- Switch Mode Power Supply.
- En generator, drevet af en DC motor.

5.1.1 Trafo

En simpel transformator konstruktion som vist i figur 5.1.1 vil kunne levere en tilnærmet spænding på $100V_{LL}$.



Figur 5.1.1: Diagram over 3 faset trafo

Det gælder at den sekundære spænding kan beskrives som:

$$V_{LLSek} \cdot n = V_{LLPri} \quad (5.1.1)$$

hvor,

V_{LLPri} spænding på den primære side.

V_{LLSek} spænding på den sekundære side.

n er forholdet mellem viklinger på den primære og sekundære side af trafoen.

Altså er spænding på sekundærsiden direkte proportional med spændingen på primærsiden. Det betyder, at hvis spændingen på primærsiden, ændrer sig, gør spændingen på sekundærsiden også.

Fra [11] vides at elnettet i Danmark varierer med $\pm 10\%$.

For at opnå line-neutral spænding på $57,735 V$ på sekundærsiden, og der tages udgangspunkt i $230 V$ på primærsiden, bliver $n \approx 4$. Vi sætter n konstant og varierer nu primærspænding, så:

$$V_{LNSek} = \frac{230 V \pm 10 \%}{4} \quad (5.1.2)$$

$$V_{LNSek} = 51,75 V \vee 63,25 V$$

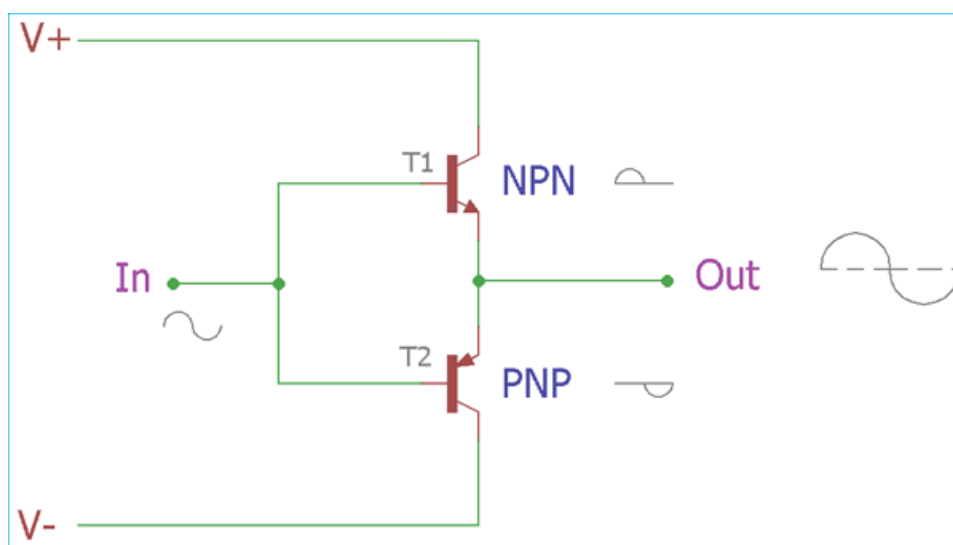
Altså varierer sekundærsiden også med 10 % hvis primærsiden gør det, hvorfor det kan konkluderes at sekundærspændingen ikke kan holdes inden for $\pm 0.1\%$ som beskrevet i kravene.

5.1.2 Klasse A/B

Et klasse A/B trin vil kunne give et stabilt output, med en lav udgangsimpedans. Et klasse A/B trin er grundlæggende et klasse B trin, som man har forspændt med en spænding for at undgå crossover forvrængning.

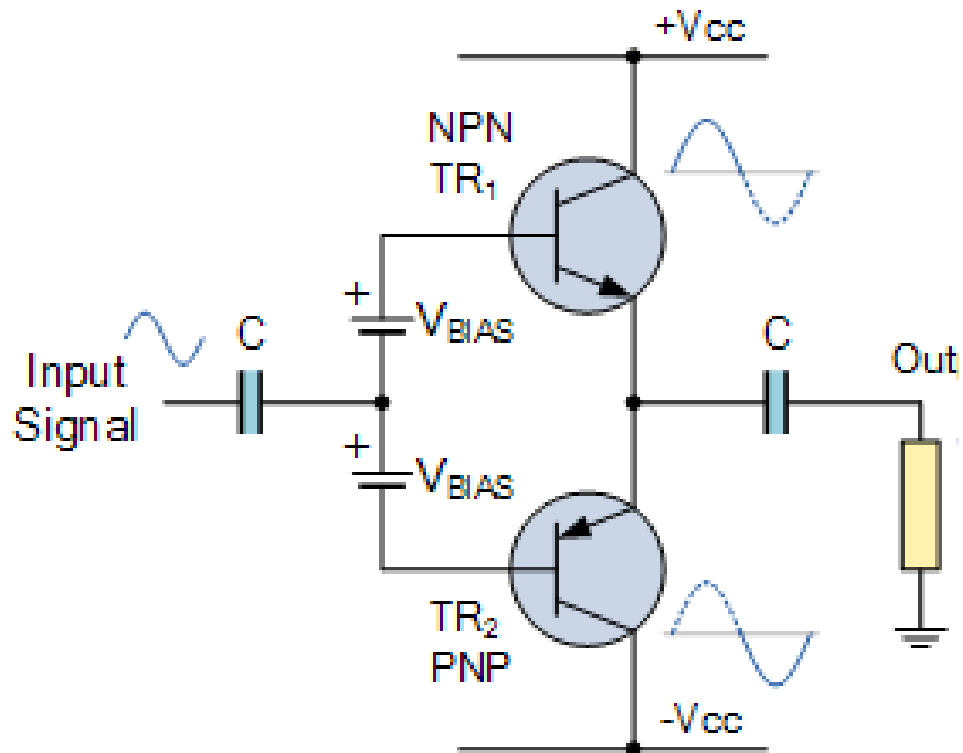
Der ses på klasse A/B trin med BJT transistorer. Det kan også laves med andre typer af transistor, som MOSFET - det er bare ikke så typisk bla. fordi det kræver at MOSFET parret, har relativt ens parametre.

Et klasse B trin fungerer ved at man har 2 transistorer, som leder en halv sinus kurve hver, for samlet at lede 360° af sinus kurven, vist på figur 5.1.2:



Figur 5.1.2: Klasse B udgangstrin, demonstreret hvordan hver transistor leder en halv sinus kurve [12].

Fordi at en BJT transistor ofte har et forspændingsområde på ca. $0,7\text{ V}$, vil man opleve crossover forvrængning. Derfor designes forspænding, hvor man så får et klasse A/B trin, vist på figur 5.1.3:

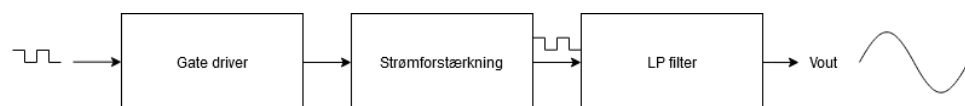


Figur 5.1.3: Klasse B udgangstrin med forspænding for at lave et klasse A/B trin [13].

Udover forspænding, så er man nødsaget til at designe tilbagekobling for at opnå tilpas lav forvrængning. Tilbagekobling er også nødvendigt, for at stabiliserer mod tilbage EMF fra højtalere, motorer m. m. Et klasse A/B trin kan opnå lave udgangsimpedanser, og lav forvrængning - hvorfor de også ofte ses brugt i audio systemer.

5.1.3 Klasse D

Et simpelt blokdiagram der beskriver hvordan et klasse D trin virker er vist på figur 5.1.4:



Figur 5.1.4: Et simpelt blok diagram der viser hvordan en klasse D forstærker virker.

Måden det virker på er, at man tager et PWM signal, og lader det

strømforstærke. Efter strømforstærkningen går det gennem et lavpas filter, for at få et sinus signal på udgangssiden.

Man kan lave forskellige typer tilbagekobling for at øge stabiliteten på udgangstrinnet. Et eksempel herpå er PWM feedback, hvor PWM signalet før filteret sammenlignes med input signalet, vist på figur 5.1.5:



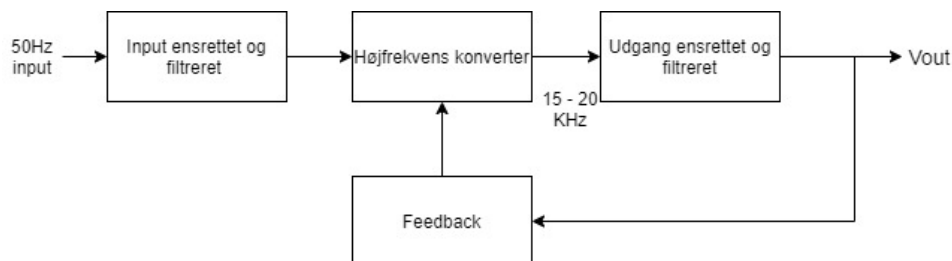
Figur 5.1.5: Blokdiagram der viser hvordan negativ PWM tilbagekobling kan laves.

Ofte sker strømforstærkningen med MOSFET, pga. deres evne til at "åbne og lukke", og det er denne tilgang til det der ses videre på. Netop at MOSFET'erne enten er åbnede eller lukkede gør også at man kan opnå ekstremt høj nyttevirkning pga. de ikke arbejder i det ohmske område. Hvis MOSFET'erne er ideel vil man opnå en nyttevirkning på 100 % da der ikke vil være et spændingsfald og derved varme tab i hver MOSFET, i virkeligheden er MOSFET'erne ikke idelle og et mindre tab kan derfor ikke helt undgås[14].

MOSFET'erne i et klasse D udgangstrin, sidder i en push/pull konfiguration. Derfor er det vigtigt at være opmærksom på at hvis en af udgangs-MOSFET'erne ikke er lukket, mens den anden er åben vil man kortslutte forsyningen.

5.1.4 Switch Mode Power Supply

En Switch Mode Power Supply (SMPS) er en yderst effektiv strømforsyning, med tilbagekobling lige som et klasse A/B trin hvorfor den også er stabil hvis designet er korrekt. En effektivitet på op til 80 % – 90 % kan opnåes hvis designet godt. På figur 5.1.6 er et blokdiagram som viser hvordan en SMPS virker:



Figur 5.1.6: Blokdiagram som viser hvordan SMPS virker.

Først sendes et 50 Hz AC signal direkte ind i en ensretter hvor det bli-

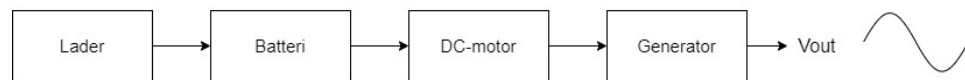
ver filtreret uden nogen form for transformering først. Dette signal sendes så videre til en meget hurtig switching enhed, ofte en MOSFET. Derefter sendes signalet ind i en transformer. Udgangstrinnet er forskelligt efter hvilket udgangssignal der ønskes.

Forskellige typer af mest anvendte SMPS opkoblinger:

1. AC - DC
2. DC - DC

5.1.5 Generator

Dette løsningsforslag fungerer ved, at der bruges en generator drevet af en DC motor, som bliver forsynet af et batteri. Dette vil resultere i en konstant spændingsforsyning som kun er afhængig af energien i batteriet. Batteriniveau vedvares af en lader. Dette princip er vist på figur 5.1.7:



Figur 5.1.7: Blok diagram der viser hvordan man kunne bruge en generator med DC motor.

Med denne løsning vil der ikke være en påvirkning af den ustabile spænding fra elnettet da DC-motoren er forsynet af et batteri.

5.1.6 Konklusion

Sammenligner vi løsningerne fås,

	Klasse A/B	Klasse D
THD	Lav	Lav
Udgangsimpedans	Lav	Afhængig af load
Stabilitet	Tilbagekobling på sinussignalet	Tilbagekobling, på PWM
Præcision	Tilbagekobling giver høj præcision	Tilbagekobling giver høj præcision
Velegnet til AC	Ja	Ja

	Trafo	SMPS
THD	Afhængig af elnettet	Lav
Udgangsimpedans	Afhængig af load	Afhængig af load
Stabilitet	Ingen tilbagekobling	Spændingstilbagekobling giver høj stabilitet
Præcision	Afhænger af elnettet, så $\pm 10\%$	Tilbagekobling giver høj præcision
Velegnet til AC	Ja	Nej

	Motordreven generator
THD	Ukendt
Udgangsimpedans	Afhængig af load
Stabilitet	Afhænger af hvor hårdt generatore er presset
Præcision	Afhænger af hvor hårdt generator er presset
Velegnet til AC	Ja

For resten af projektet arbejdes videre med klasse D trinnet. Egentlig ses at klasse A/B er et godt valg, men på grund af interesse og læring vælges der at tage udgangspunkt i klasse D trinnet.

Læringen i det blev set, ved at tegne grove blokdiagrammer over begge løsninger. Det sås, at ved at tage udgangspunkt i klasse D trinnet ville det kunne give en praktisk forståelse af udgangsfiltre, triangle modulation, og MOSFET driver.

Havde klasse D trinnet ikke kunne løse opgaven fra problemformuleringen var der *selvfølgelig* ikke arbejdet videre med denne løsning.

Kapitel 6

Teori

6.1 MOSFET

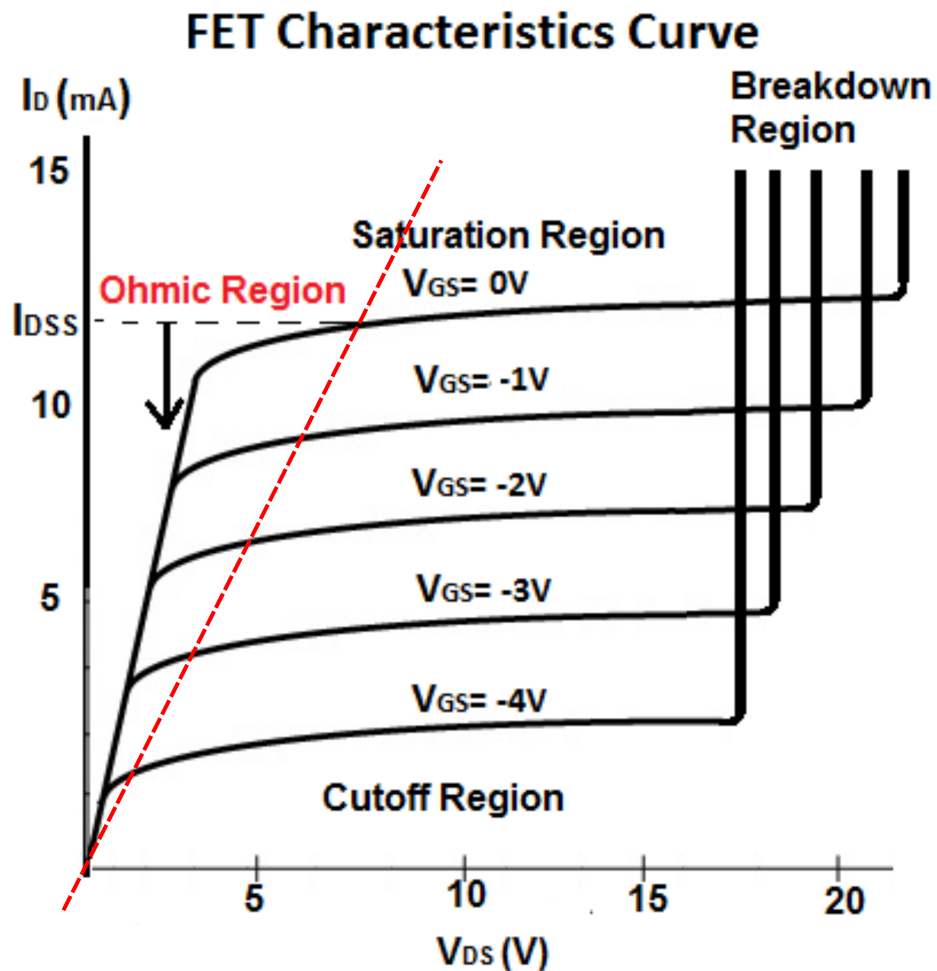
MOSFET er en transistor type, af typen FET transistor. Der findes flere typer transistor end denne, f.eks. JFET, BJT, m.m. men på baggrund af løsningen med klasse D er det MOSFET der beskrives nærmere.

Grunden til man bruger MOSFET, i stedet for de andre typer transistorer er fordi de har bedre egenskaber til at skifte mellem åben og lukket. Det er forstået på den måde at de skifter hurtigere mellem åbent, og lukket end f.eks. BJT eller IGBT [15].

En MOSFET er spændingsstyret transistor, som fås som både signal transistor, og effekttransistor. Indgangsimpedansen på dem er teoretisk uendelig høj, og modstanden over dem kan variere mellem næsten 0Ω , op til $M\Omega$ [15].

Der er to typer af MOSFET, N kanal, og P kanal. De fungerer begge, ved at være "lukket" og ikke lade strøm løbe når der ikke er en spænding over gate - source. Når gate - source spændingen når saturation "åbner" den og lader strømmen løbe. De bruges dog på forskellige måder.

MOSFET er selvfølgelig ikke så lineære at de bare er "åbne" og "lukkede". De har et område hvori de er ohmske, før de er mættede. Det er vist på figur 6.1.1:



Figur 6.1.1: Viser det ohmske område for en MOSFET [16].

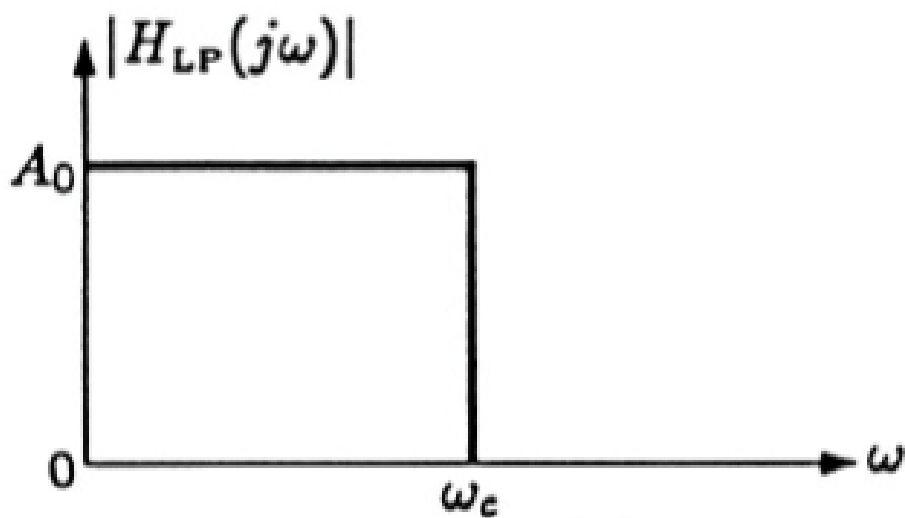
Tit er MOSFET brugt i switching elektronik pga. deres egenskab til at være åbne eller lukkede.

6.2 Filter

Der findes flere forskellige filter typer. Det kan være lavpas-, højpas-, båndstop-, eller båndpasfilter. Der ses på lavpasfilter, da dette senere bruges i klasse D udgangstrinnet.

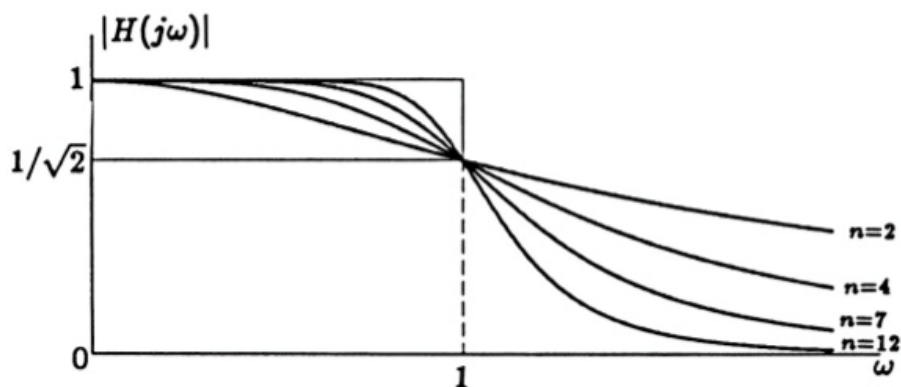
6.2.1 Lavpasfilter

Frekvensresponset for et idealiseret lavpasfilter ser ud som vist på figur 6.2.1:



Figur 6.2.1: Frekvenskurven for et ideelt lavpasfilter [17].

Det idealiserede filter på figur: 6.2.1 er det "optimale" lav pas filter. Det findes ikke i virkeligheden og en tilnærmelse af det kunne være eksempelvis Butterworth filteret. Den approximerede frekvenskurve for et Butterworth af n 'te orden ser ud som på figur 6.2.2:



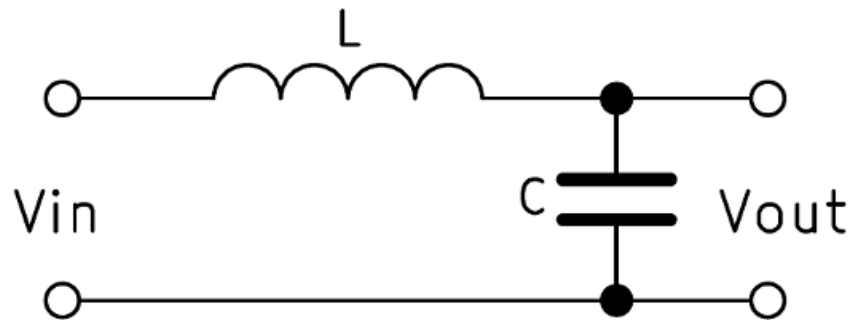
Figur 6.2.2: Frekvenskurven for et butterworth af n 'te orden [17].

altså ses det at et lavpas filter ikke faktisk er ideelt. Det gælder også om man laver et Chebyshev[17].

LC filter - klasse D

Typisk laver man et LC filter, som udgangsfiler i et klasse D trin. Det gøres typisk fordi, at et LC filter er tabsfrit, og kan holde til høje strømme.

Det typiske filter i en klasse D forstærker er et LC filter, vist på figur 6.2.3:



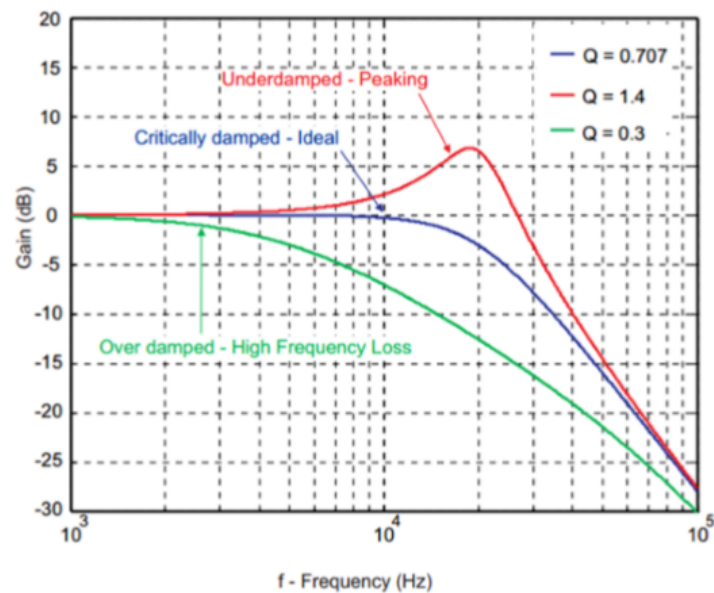
Figur 6.2.3: Diagram af LC filter [18].

Filtret er et anden ordens filter.

Knækfrekvensen for et LC filter er defineret som[19]:

$$f_0 = \frac{\omega_0}{2\pi} = \frac{1}{2\pi \cdot \sqrt{L \cdot C}} \quad (6.2.1)$$

Nå man arbejder med LC filter ser man også på kvalitets faktoren, Q:



Figur 6.2.4: Diagram af LC filter [19].

Q faktoren er afhængig af den tilsluttede load, og er defineret som[19]:

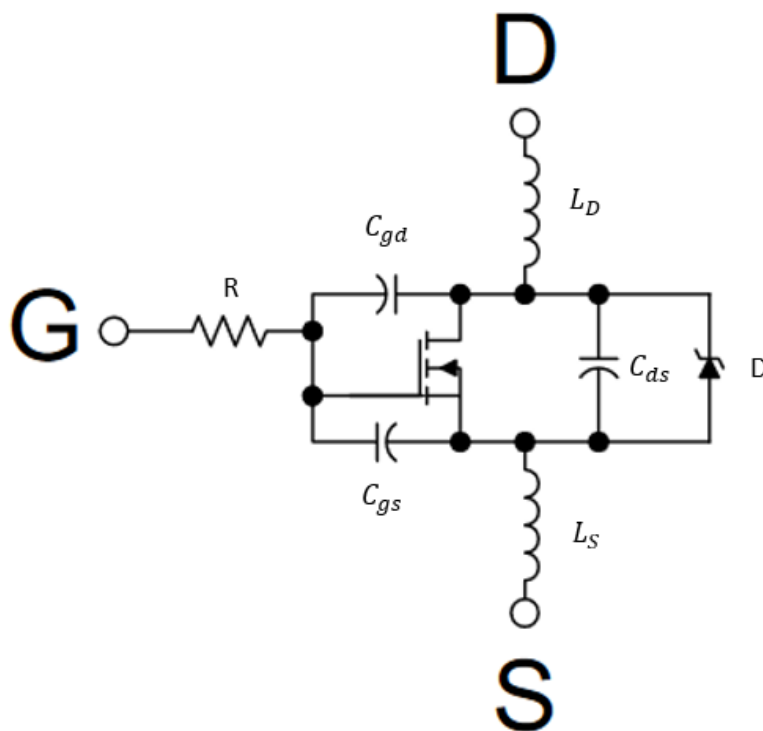
$$Q = R_L \cdot \sqrt{\frac{C}{L}} \quad (6.2.2)$$

Ofte vil man forsøge at designe et kritisk dæmpet Butterworth [19].

6.3 MOSFET driver

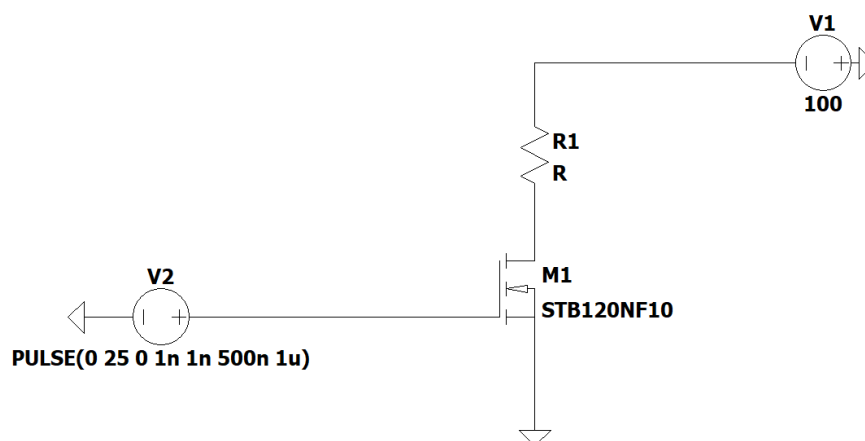
I følgende afsnit ses på hvorfor et MOSFET baseret drivertrin kan være et relevant koncept, ligesom MOSFET'en undersøges nærmere.

Først ses på en model over en MOSFET vist på figur 6.3.1:



Figur 6.3.1: Model af MOSFET, når brugt til switching[20].

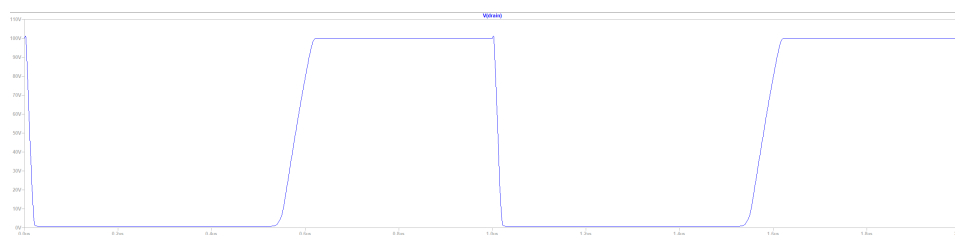
Det ses ud fra figuren, at der må være en input kapacitans, som resultat af C_{gd} og C_{gs} . For at se påvirkningen af input kapacitansen, opstilles en simpel simulation vist på figur 6.3.2:



Figur 6.3.2: Diagram over en MOSFET der skal switche.

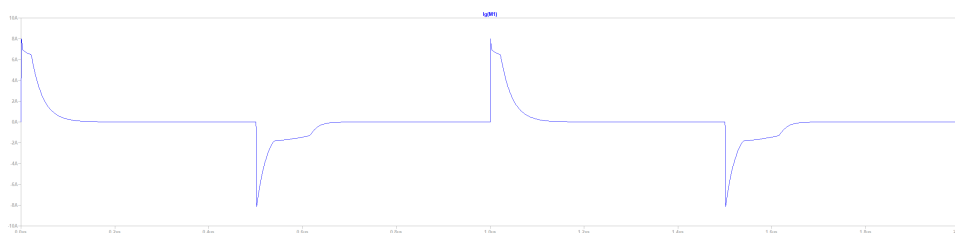
hvor,
 $V_1 = 100\text{ V}$.
 $V_2 = 25\text{ V}$.
 $I_{DS} = 10\text{ A}$.

Først tjekkes om MOSFETen kan være "åben" og "lukket" vist på figur 6.3.3



Figur 6.3.3: Resultat af simuleringen, som viser hvor hurtigt MOSFET kan tænde og slukke.

Det kan den, så der ses på gate strømmen, vist på figur 6.3.4



Figur 6.3.4: Viser den resulterende gate strøm i simuleringen.

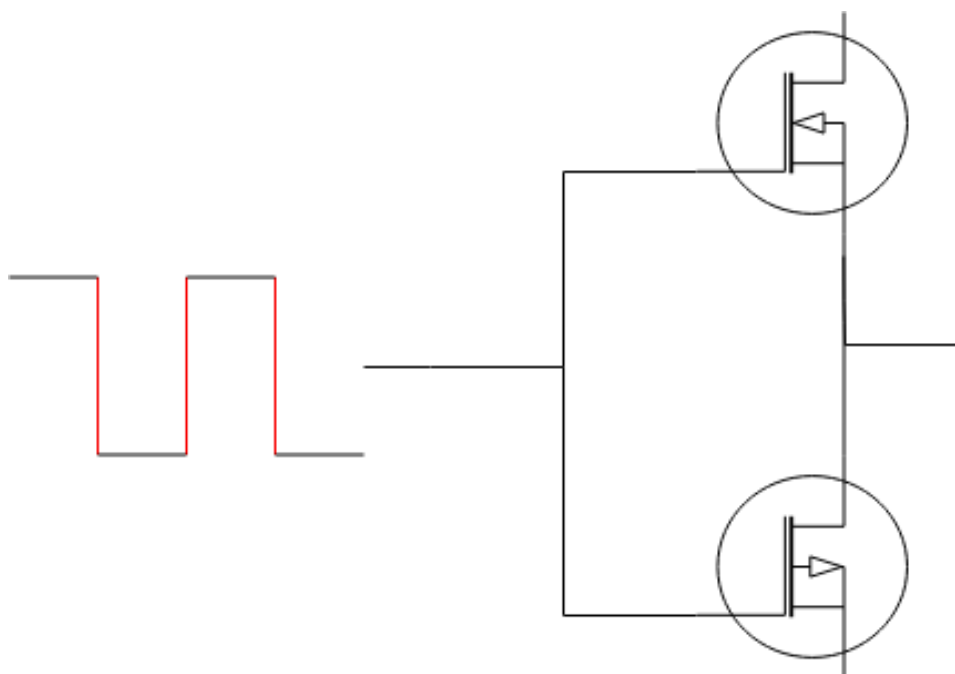
Gate strømmen nærmer sig 8,5 A.

Prøver man at reducere gatestrømmen med en gate modstand, vil man gøre MOSFET'en langsommere til, at åbne. Den langsommere tid vil også resultere i at der trækkes unødigt strøm i mere tid, og mere energi afsættes fordi MOSFET'en arbejder i det ohmske område mens den åbner og lukker [20].

Så fordi at det ikke er typisk at transistor-transistor-logik(TTL), eller OpAmp's kan trække disse store strømme er det en mulighed at man kan bruge en MOSFET Driver [21].

6.4 Dead time

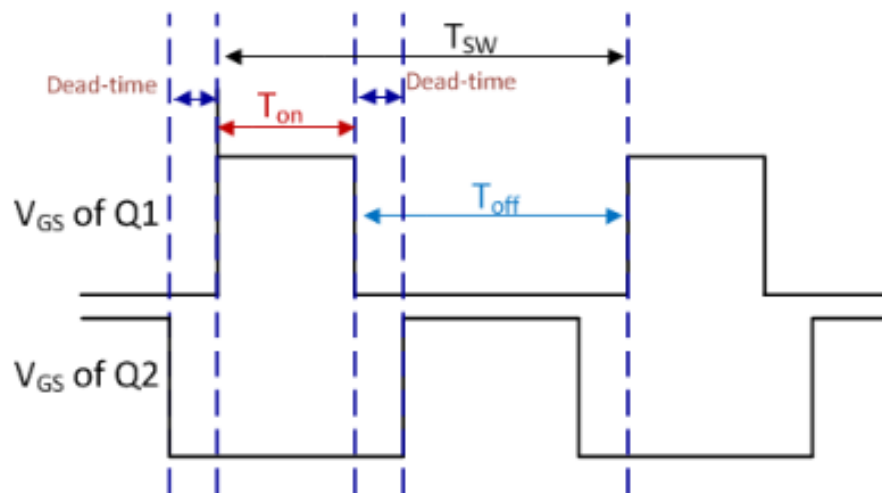
I et ideelt switched system, så går man fra $U_{\min}$ til $U_{\max}$, på uendelig kort tid. Det er illustreret på figur 6.4.1:



Figur 6.4.1: Koncept der illustrerer problemet, som løses med dead time.

Det ses at de røde streger i PWM signalet, er helt lodrette - altså er signalet både højt, og lavt i lige netop dette øjeblik. Det gør at udgangs-MOSFET'erne kan kortslutter i netop det øjeblik.

For at undgå dette introduceres dead time. Dead time illustreres på figur 6.4.2:



Figur 6.4.2: Illustration der viser dead time forholdende mellem Q1 og Q2 [22].

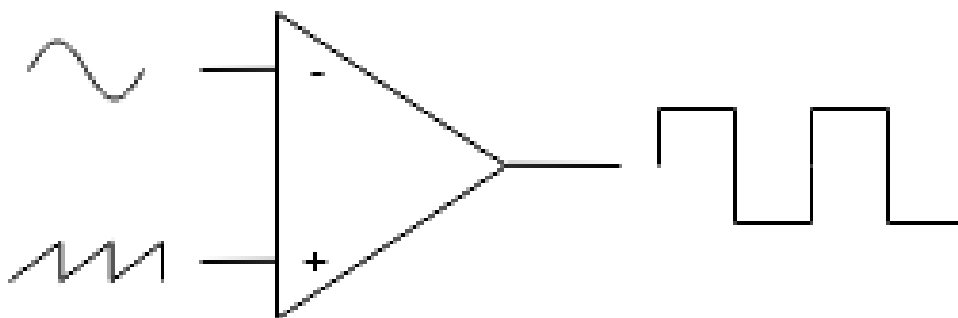
Hvor,
Dead time er den tid, det ene signal er forskudt for de ikke er høj og lav samtidig.

V_{GS} er gate source spænding på hhv. FET1 og FET2

6.5 Sinus PWM

Pulsbredde modulation af et sinus signal er en teknik til at lave et PWM signal fra et sinus signal. Den udnytter et højfrekvent trekant carrier signal til at spændings modulere. Metoden kaldes også SPWM idet referencen er en sinus spænding, og er meget brugt til at modulere AC signaler[23].

I praksis bliver et trekant signal (carrier), og et sinus signal (ref) sammenlignet i en komparator, vist på figur 6.5.1:



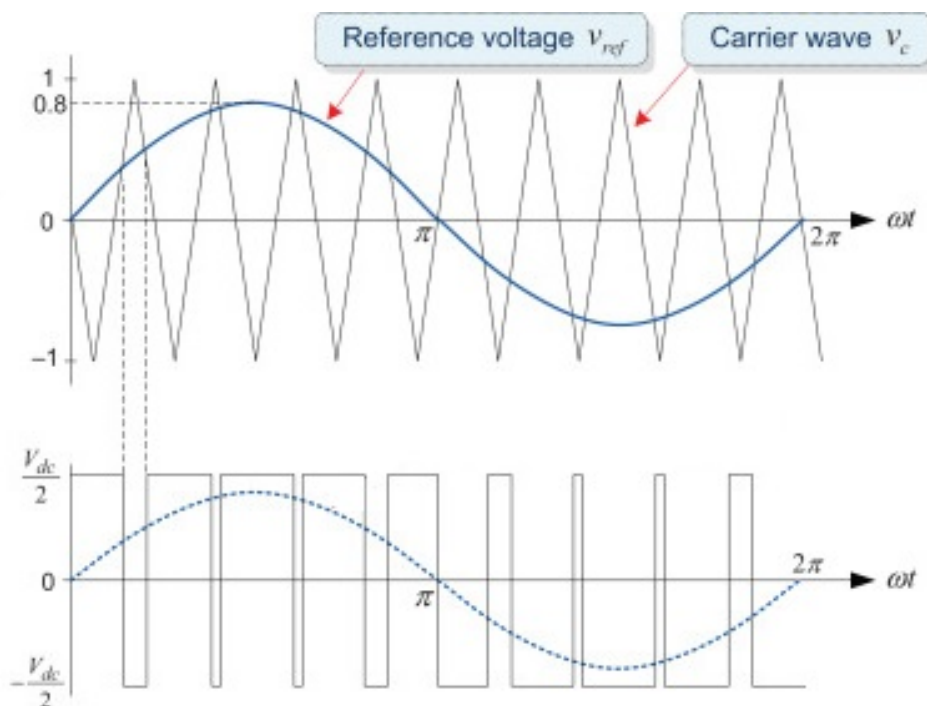
Figur 6.5.1: Trekant signal, og sinus signal ind i en komparator giver et firkant signal.

Generelt gælder det at amplituden af carrier signalet, skal være højere end amplituden af reference signalet [23]. Forholdet mellem amplituden af de to beskrives som,

$$m_a = \frac{A_{ref}}{A_{carrier}} \quad (6.5.1)$$

Hvis amplituden skal være højere på carrier signalet må det gælde at $0 \leq m_a \leq 1$

Dette forhold er illustreret på figur 6.5.2:



Figur 6.5.2: SPWM princip med sinus reference & trekant carrier[23].

Hvor det kan ses at,

Hvis $U_{ref} > U_{Carrier}$ så gælder det, at PWM signalet er lavt.

Hvis $U_{ref} < U_{Carrier}$ så gælder det at PWM signalet er højt.

Frekvens modulations indexet er beskrevet som,

$$m_f = \frac{f_{carrier}}{f_{ref}} \quad (6.5.2)$$

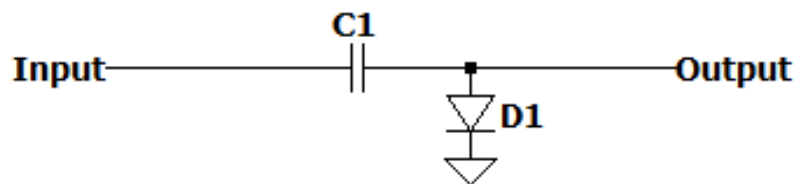
Jo højere m_f bliver, desto højere vil de harmoniske frekvenser være [24]. Når de harmoniske frekvenser bliver højere, bliver de også nemmere at filtrere væk for at få det oprindelige sinus signal.

Hvis switching frekvensen er under 2 kHz , så vælges typisk $m_f \leq 9$ [24]. Hvis $f_{ref} > 2\text{ kHz}$ er m_f på op til 1000 ikke unormalt [24]. Har man et forvrænget output, eller en ustabil amplitude kan det være fordelagtigt at forsøge sig med en højere opløsning på SPWM signalet [24].

6.5.1 Levelshift

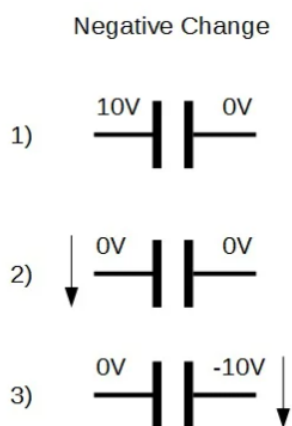
For at lave et DC offset, laves et levelshift kredsløb. Det kan være nødvendigt i nogle tilfælde, at skulle bruge et negativt potentiale for at drive en MOSFET hvis der er negativ forsyning tilsluttet source.

Kredsløbet som der tages udgangspunkt i består af en kondensator og en diode[25]. Kredsløbet er vist på figur 6.5.3:



Figur 6.5.3: Levelshift kredsløb.

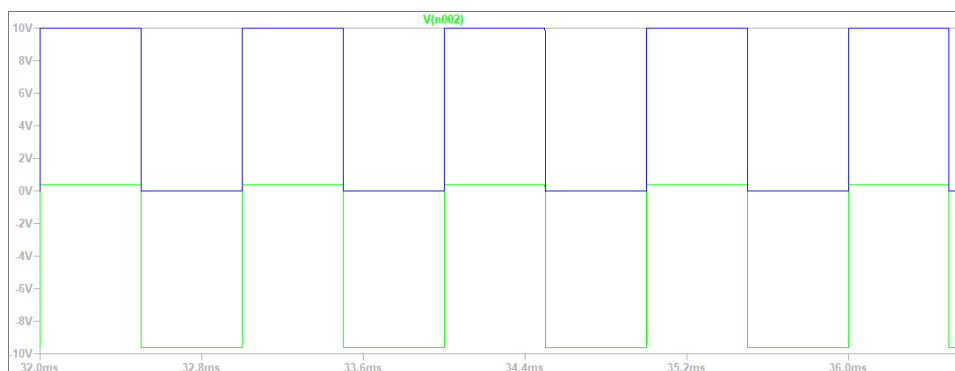
Det fungerer ved, at kondensatoren altid vil forsøge og udligne forskellen fra venstre til højre side og omvendt. Denne teori er vist på figur 6.5.4:



Figur 6.5.4: Spændingsændring over kondensator[25].

Det ses, at hvis højre side holdes til 0 V og venstre lades til 10 V så fås faktisk 0 V og -10 V . Dioden bliver brugt til at trække højre siden lav.

Kredsløbet vist på figur 6.5.3, simuleres i LTspice, vist på 6.5.5:

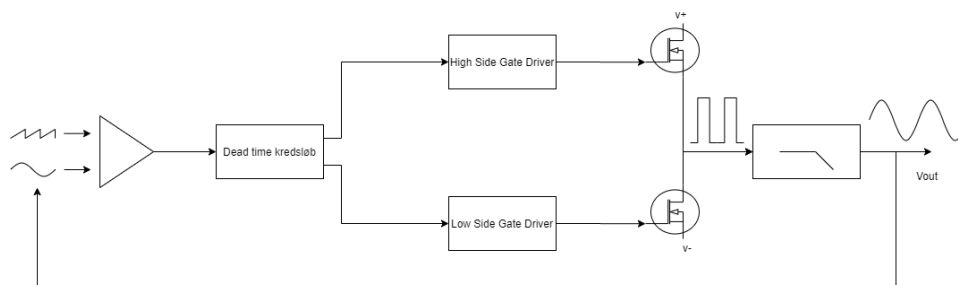


Figur 6.5.5: Input PWM signal $0 - 10\text{ V}$ & output $0 - (-10)\text{ V}$.

Kapitel 7

Design af klasse D spændingsgenerator

I de følgende afsnit vil der ses på hvordan spændingsgeneratoren skal designes. Der tages udgangspunkt i følgende blokdiagram på figur 7.0.1:



Figur 7.0.1: Blokdiagram over klasse D.

Design processen deles op i,

- En signaldel, hvor der ses på sinus signalet og faseforskydning.
- En forsettelse af signaldelen, hvor der tilføjes et dead time system.
- Udgang, hvor der ses på udgangstrin, og filter
- High side MOSFET driver
- Low side MOSFET driver
- Tilbagekobling
- Simulering i LT spice

7.1 Valg og design af sinus generator

DEIF ønsker ikke signalet til spændingsgeneratoren leveret af en ekstern signalgenerator, hvorfor en del af opgaven derfor er at konstruere en signalgenerator. Der ses i følgende afsnit på hvordan der kan laves en signalgenerator, der overholder kravene til præcision.

Den endelige amplitude for signal generatoren bestemmes til at være 3V for, at have et udgangspunkt senere til trekantmodulationen - dog kan spændingen altid forstærkes, hvorfor en løsning der ikke har denne udgangsamplitude ikke kasseres på baggrund af dette.

Kravet fra 4.1 lyder på at systemet skal have en præcision på 1mHz, hvorfor dette også er kravet til signalgeneratoren.

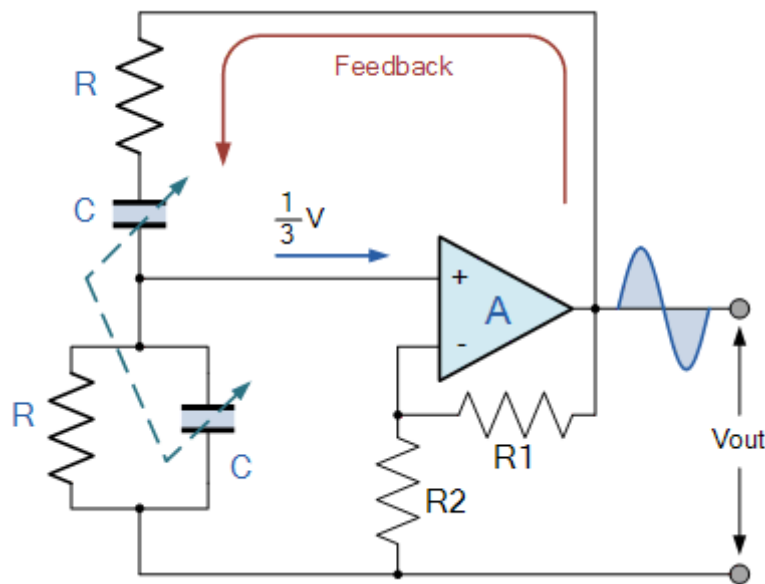
Følgende systemer vil blive analyseret, og det bedste vil blive udvalgt,

- Wien Bridge
- XR2206 - Monolithic Function Generator
- AD9833 - Programmable Waveform Generator

Der er også set på andre typer af OpAmp oscillator, end en Wien Bridge, men da de er afhængig af de samme ting ses kun på en af mulighederne.

7.1.1 Wien Bridge

En Wien Bridge Oscillator, er en oscillator baseret på at en OpAmp. Ideen er at OpAmp'en skal selvoscillere. Kredsløbet er vist på figur 7.1.1:



Figur 7.1.1: En Wien Bridge Oscillator [26].

$R1$ og $R2$ styrer spændingsforstærkningen. Oscilleringen samt oscilleringsfrekvens afhænger af R og C . Fordi det er positiv feedback, kan det netop oscillere. Når feedbacksystemet når en situation hvor signalet på de to indgange er i fase, vil systemet oscillere ved en frekvens som er bestemt ved R og C [26].

Frekvens hvor ved at en Wien Bridge oscillere er bestemt som:

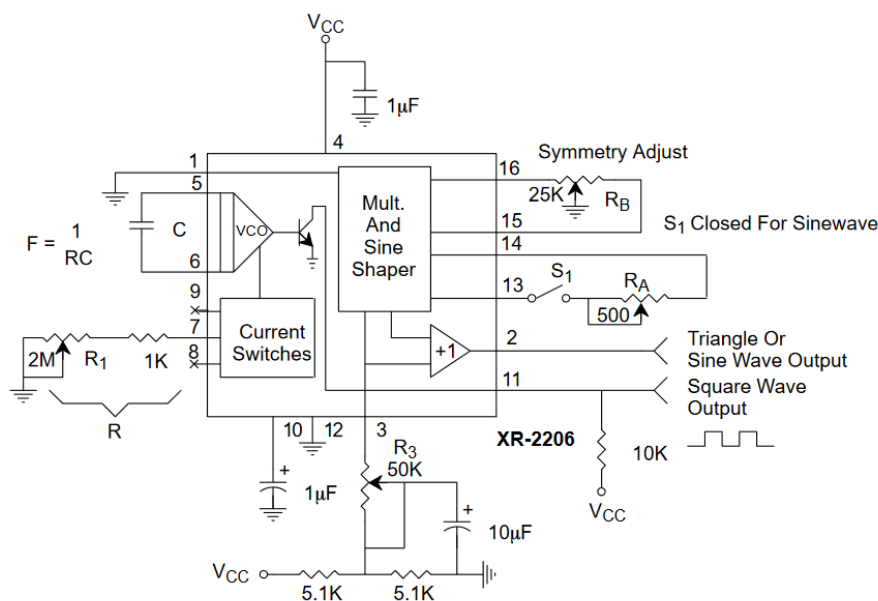
$$f = \frac{1}{2\pi RC} \quad (7.1.1)$$

For at opnå en præcis oscillering kræver det altså præcise komponenter. Man kan lade R være variabel, og vælge en kondensator der ikke er særlig temperatur sensitiv f.eks. NP0 kondensatorer [27]. På den måde kan man lave et stabilt system vha. en Wien Bridge.

7.1.2 XR2206

XR2206 er en integreret kreds, som kan genere forskellige bølgeformer, og sweeps. Den kan generer både firkanter, trekanten og sinus signaler, typisk med lav forvrængning på ca. 0,5 %.

Der ses på det anbefalede applikationsdiagram vist på figur 7.1.2



Figur 7.1.2: Diagram over mockup af XR2206 [28].

Frekvensen på udgangen af en X2206, er altså bestemt som:

$$f = \frac{1}{R \cdot C} \quad (7.1.2)$$

[28]

Altså bestemmes oscilleringsfrekvensen for en XR2206 baseret oscillator-konstruktion, ligesom i en Wien Bridge, gennem valg af værdien på hhv. R og C.

Databladet for XR2206 ligger, som også omtalt under Wien Bridge kredsløbet, op til at der bruges en variabel modstand i serie med en fast modstand, for herigennem at opnå finere justeringsområde. Det kræver dog forsat præcise kondensatorer, som ikke er temperatur afhængige.

I databladet for XR2206 er det opgivet af en præcision på 100 mHz [28]. Altså er det en præcision, der er lavere end det angivne krav 4.1.

7.1.3 AD9833

En bedre løsning, der ikke er påvirkelig af komponentafvigelse kunne være en digital løsning. Her ses nærmere på en løsning, baseret på en AD9833.

En AD9833 er en programmerbar frekvensgenerator. Den kan generer trekant-, firkant- og sinussignaler. Den programmeres gennem 3-wire SPI, og dens præcision er afhængig af den tilsluttede clock [29]. Ved en clock på 25 MHz kan en præcision på 100 mHz opnås. Hvis en clock på 1 MHz tilsluttes kan der opnås præcision på $0,4\text{ mHz}$ [29].

Udover clock behøves kun en mikroprocessor som kan kommunikere vha. SPI.

7.1.4 Test af udvalgte signal generatorer

Der vælges at teste et system baseret på XR2206 chippen, og et system baseret på AD9833.

XR2206 vælges selvom den opgivne præcision er lavere end ønsket. Det er dog alment kendt at producenter hellere opgiver lidt dårligere data, så de ikke risikerer at få problemer med ikke at kunne overholde de i databladet opgivne data. Ydermere kan XR2206 både lave trekant-, og sinussignaler, uden en mikroprocessor, som giver større frihed senere i projektet.

Wien Bridge oscillatoren er heller ikke typisk kendt for præcision, hvilket også vises af den er direkte afhængig af komponentafvigelser.

Bestemmelse af værdier til XR2206 system

Frekvensen er bestemt til at være 50 Hz , hvorfor R, og C er bestemt til $3,3\text{ }\mu\text{F}$ og $6060\text{ }\Omega$ A.1.1. Fra databladet vides det at for opnå høje stabilitet skal R være mellem $4\text{ k}\Omega$ og $200\text{ k}\Omega$, og C skal være mellem 1000 pF og $100\text{ }\mu\text{F}$ [28]. Begge disse kriterier er opfyldt ved de beregnede værdier.

Sættes det ind i formlen med forhold for komponentafvigelser på 10 % gældene for kondensatoren, og 1 % gældende for modstanden fås,

$$F = \frac{1}{R \cdot C}$$

$$F = \frac{1}{(6060\text{ }\Omega \pm 1\%) \cdot (3,3\text{ }\mu\text{F} \pm 10\%)}$$

$$F = 45\text{ Hz} \vee 56\text{ Hz}$$
(7.1.3)

På baggrund af der kan rettes op på R, vha. et potentiometer, vil frekvensen kunne justeres ind til den beregnede værdi. Derfor vælges R til at være et potentiometer af typen multiturn, som har et meget finere justeringsområde på grund af de mange omdrejninger der skal til for at trimme. Ses på diagrammet, i serie med en passende modstand 5Ω .

Den er testet i A.1, hvor flg. blev målt

	Forventet	Målt	Afvigelse
Frekvens	50 Hz	$50\text{ Hz} \pm 100\text{ mHz}$	0,2 %
Amplitude	N/A	1,5 V	N/A

Altså ses at den afviger mere end de tilladte 1 mHz, efter den er justeret ind - hvilket var forventeligt.

Bestemmelse af værdier til AD9833

I databladet er opgivet at en præcision på $0,4\text{ mHz}$ kan opnås, ved en 1 MHz clock. Det er sådan en clock der ville skulle testes med, men på baggrund af indkøbsmuligheder er der kun testet med 25 MHz clock, som giver en præcision på 100 mHz .

7.1.5 Delkonklusion og valg af signalgenerator

Det vigtigste er præcisionen af frekvensen, hvorfor denne sammenlignes mellem de forskellige løsninger, både teoretisk og praktisk.

Teoretisk kan en AD9833 opnå en præcision på $0,4\text{ mHz}$, altså under kravet på 1 mHz . I praksis kunne den ikke leveres med den nødvendige clock, og præcision er målt til 100 mHz i A.2. Det betyder altså at præcision ligger inden for den opgivne værdi i databladet, og derfor antages at hvis clocken udskiftes vil den ligge under 1 mHz præcision.

XR2206 har en maksimal teoretisk præcision på 0,2 % og det blev efter-testet at det er korrekt. Det er testet i A.1.

Da begge systemer både kan lave sinus-, trekant-og firkantsignaler vælges, at gå videre med AD9833. AD9833 vælges på trods af at den ønskede præcision ikke kunne opnås i testen. Årsagen til den manglende præcision ligger i den konfiguration der blev testet.

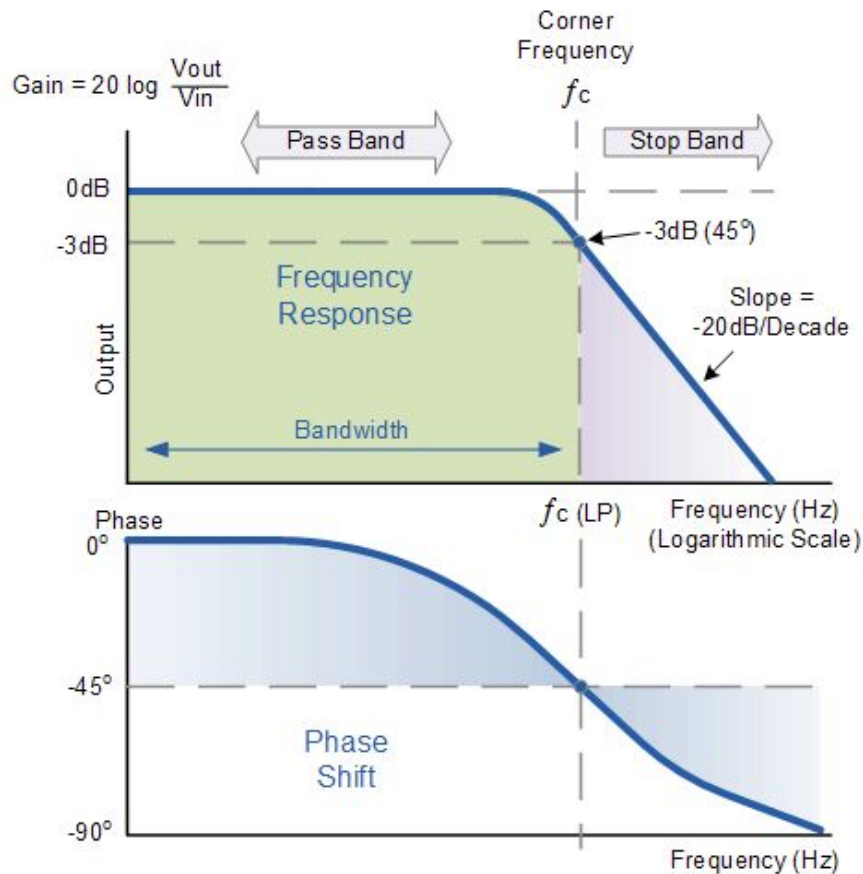
7.2 Faseforskydning af signal og design af kredsløb

På baggrund af at der skal designes 3 faser, med et faseforhold på 120° , ses på hvordan et sinussignal kan faseforskydes.

Passive komponenter der kan introducere faseforskydning er en kondensator, eller en spole. Aktive komponenter kan også introducere faseforskydning, f.eks. en OpAmp.

7.2.1 RC LED

Et RC led er en måde at introducere et styret fasedrej. Bodeplottet for et RC led er vist på figur 7.2.1



Figur 7.2.1: Bodeplot for RC led [30].

hvor det ses at,

Ved $-3 \text{ dB} \Rightarrow 45^\circ$

Bodeplottet rammer -90° fasedrej til sidst - det kommer sig af at man introducere en pol, med kondensatoren.

Det gælder for et RC led, at fase drejet kan findes som:

$$\phi_{\text{Phase}} = -\arctan(2\pi fRC) \quad (7.2.1)$$

Det kommer sig af:

$$H(s) = \frac{V_{\text{out}}(s)}{V_{\text{in}}(s)} = \frac{\frac{1}{sC}}{\frac{1}{sC} + R} = \frac{1}{1 + sCR} \quad (7.2.2)$$

s substitueres med $j\omega$

$$H(j\omega) = \frac{1}{1 + j\omega CR}$$

Der omskrives $|H(j\omega)|$

$$H(j\omega) = \frac{1}{1 + j\frac{\omega}{CR}}$$

Omregnes til polær form

$$H(j\omega) = -\arctan(\omega \cdot RC)$$

$$H(j\omega) = -\arctan(\omega \cdot RC)$$

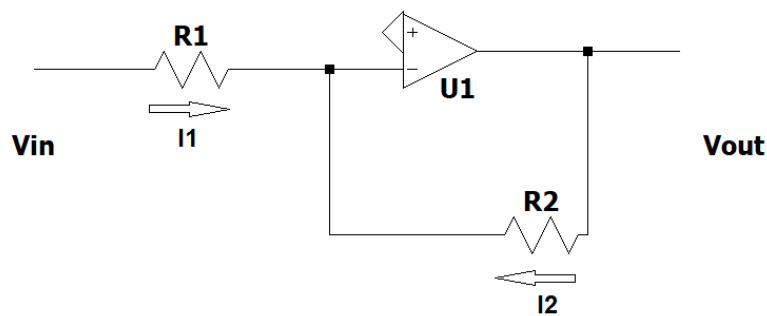
ω substitueres med $2\pi f$

$$H(j \cdot 2\pi f) = -\arctan(2\pi f \cdot RC) \quad (7.2.3)$$

Q.E.D

7.2.2 OpAmp

En OpAmp med inverterende forstærker opkobling ses på figur 7.2.2:



Figur 7.2.2: Inverterende OpAmp.

Overføringsfunktionen findes:

Strømmen gennem R_1 og R_2 må også være den samme, på grund af den uendelig høje indgangsimpedans for en ideel OpAmp. Det betyder så:

$$-I_1 = I_2 \quad (7.2.4)$$

Pga. den uendelig høje indgangsimpedans, må det ydermere gælde at der er 0V på indgangen, hvorfor det kan skrives som:

$$-\frac{V_{in} - 0}{R_1} = \frac{V_{out} - 0}{R_2} \quad (7.2.5)$$

Som kan omskrives til overføringsfunktionen $H(s)$:

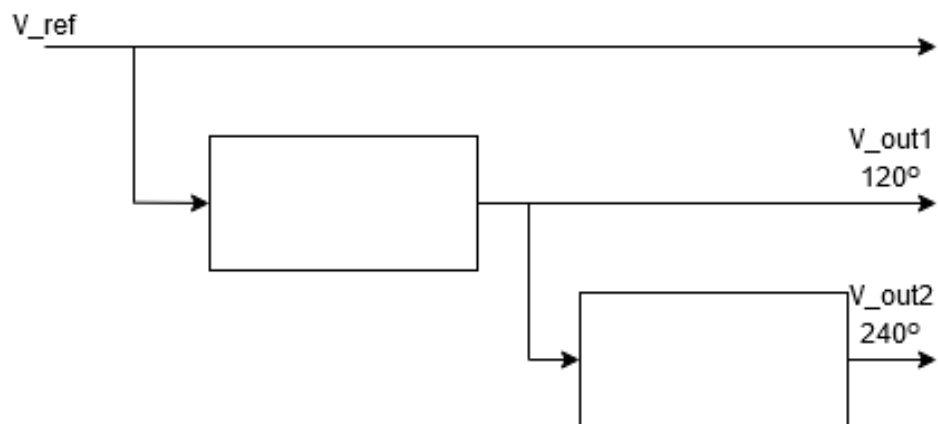
$$H(s) = \frac{V_{out}}{V_{in}} = \frac{-R_2}{R_1} \quad (7.2.6)$$

Fra overføringsfunktionen kan det ses at udgangssignalet er inverteret, altså faseforskydet 180° .

7.2.3 Design af faseforskydning

Målet er at opnå 3 sinus signaler, med samme frekvens, og amplitude - men faseforskydet 120° og 240° ift. reference signalet.

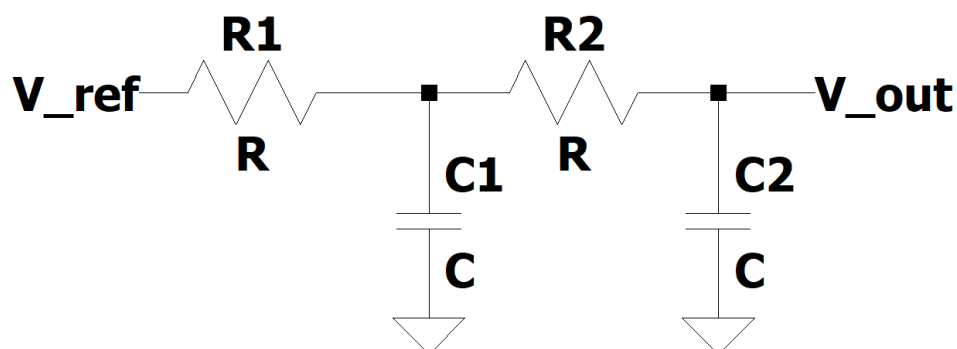
Et blok diagram over princippet tegnes på figur 7.2.3:



Figur 7.2.3: Blokdigram over faseforskydte signaler ved 0° , 120° og 240° .

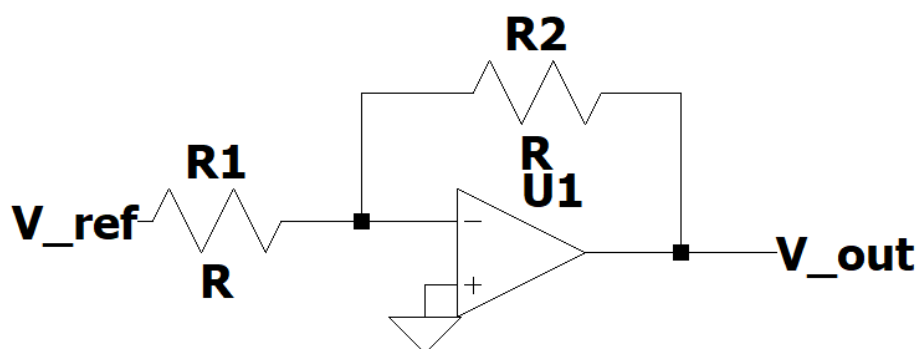
Formålet med kredsløbene i "kasserne" er altså at faseforskyde 120° uden at ændre amplituden.

Et RC led faseforskyder ned mod -90° . Fordi der kun er én grundfrekvens der skal faseforskydes vil 2 RC led altså kunne løse opgaven. Værdierne i RC leddet skal altså bare bestemmes på baggrund af 7.2.1 - dog ville amplituden ikke være konstant. Diagrammet vil så se ud som på figur 7.2.4:



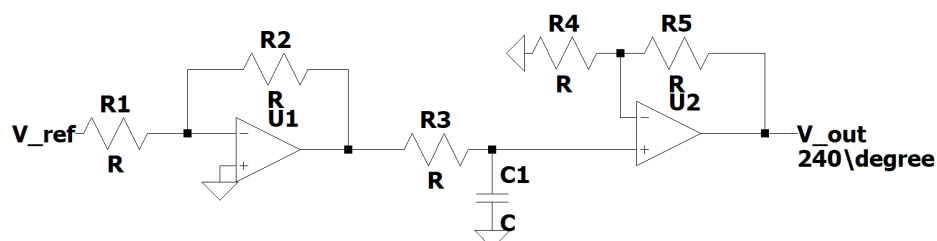
Figur 7.2.4: Et RCRC led kan faseforskyde mellem 0° og -180° .

En OpAmp vist på figur 7.2.5 faseforskyder 180° , altså faseforskyder den for meget.



Figur 7.2.5: En OpAmp faseforskyder med -180° .

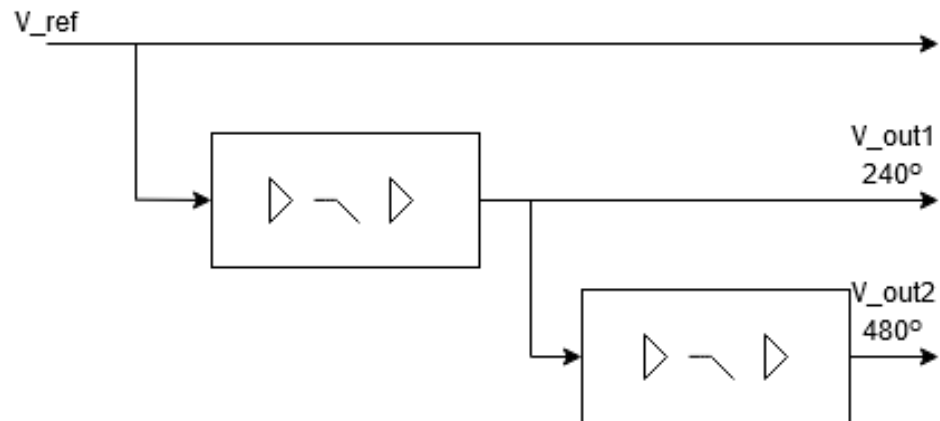
En løsning som optimerer indgangsimpedans, og udgangsimpedans vil være et system med en inverterende OpAmp, et RC led, og en udgangsbuffer. Altså vil hver kasse kunne realiseres som vist på figur 7.2.6,



Figur 7.2.6: System der faseforskyder 240° , med amplitude justering.

Den inverterende OpAmp har et fasedrej på -180° , RC leddet kan bestemmes til at have et fasedrej på -60° . Udgangsbufferen kan være en ikke inverterende OpAmp - den bidrager med lav udgangsimpedans, ingen fasedrej, og kan regulere amplituden så den ikke er ændret fra V_{ref} .

Det giver et fasedrej på 240° , så figur 7.2.3 revideres, til at se ud som på 7.2.7:



Figur 7.2.7: Blokdiagram med fasedrej på 0° , 240° , og 480° .

Hvor fasedrejet på 480° svarer til et fasedrej på 120° ift. reference signalet.

7.2.4 Bestemmelse af værdier

For den inverterende OpAmp ønskes:

$$V_{out} = -V_{in}$$

Fra 7.2.6 vides det at $R_1 = R_2$, som bestemmes til $10\text{ k}\Omega$
RC-leddet skal bidrage med:

$$\Phi = -60^\circ$$

Fra 7.2.1 kan passende værdier bestemmes, fordi:

$$\Phi f = 50\text{ Hz}$$

C kan bestemmes:

$$C = 1\text{ }\mu\text{F}$$

Så kan R beregnes

$$\begin{aligned} -60^\circ &= -\arctan(2\pi 50 \text{ Hz} \cdot R \cdot 1 \mu\text{F}) \\ R &= 5513,9 \Omega \approx 5,6 \text{ k}\Omega \end{aligned} \quad (7.2.7)$$

Værdien $5,6 \text{ k}\Omega$ eftertestes, ved at regne fasen med $5,6 \text{ k}\Omega$ og $1 \mu\text{F}$,

$$\begin{aligned} \Phi &= -\arctan(2\pi 50 \text{ Hz} \cdot 5,6 \text{ k}\Omega \cdot 1 \mu\text{F}) \\ \Phi &= -60,3856^\circ \end{aligned} \quad (7.2.8)$$

Ydermere eftertestes hvor meget fasedrejet afviger med komponentenafvigelse, når der vælges 1% modstande, og 10% kondensatorer,

$$\begin{aligned} \Phi &= -\arctan(2\pi 50 \text{ Hz} \cdot 5,6 \text{ k}\Omega \pm 1\% \cdot 1 \mu\text{F} \%) \\ \Phi &= -57,46^\circ \vee -62,90^\circ \end{aligned} \quad (7.2.9)$$

Det giver i alt et fasedrej, inkl. komponentafvigelse på

$$\begin{aligned} \Phi_{\text{total}} &= \Phi_{\text{OpAmp}} + \Phi_{\text{RCLed}} \\ \Phi_{\text{total}} &= -180^\circ + (-57,46^\circ) \vee -180^\circ + (-62,9^\circ) = -237,46^\circ \vee 242,9^\circ \end{aligned} \quad (7.2.10)$$

Altså holder det sig ikke inden for kravene - dette kan løses med at sætte et potentiometer i serie med mostanden, for at kunne justere RC-leddet ind.

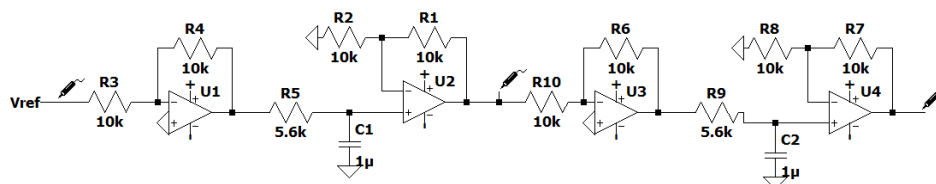
Udgangsbufferen er en ikke inverterende OpAmp, som har overføringsfunktionen:

$$H(s) = \frac{V_{\text{out}}}{V_{\text{min}}} = 1 + \frac{R_1}{R_2} \quad (7.2.11)$$

Fra simulering vides at bufferen skal have en forstærkning på 2, altså gælder det at $R_1 = R_2$, som bestemmes til $10 \text{ k}\Omega$

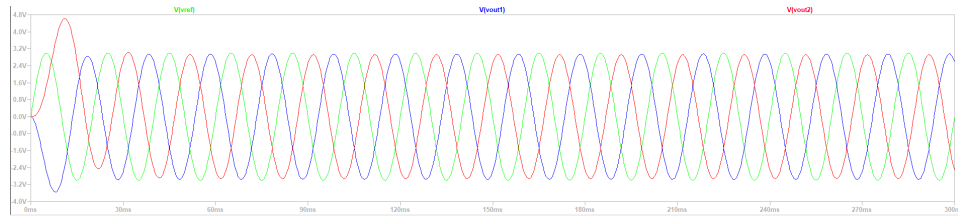
Komponentafvigelse vil her kunne give en ændret amplitude, hvorfor også her vil blive sat et potentiometer i serie med en mostand.

Alle de bestemte værdier indsættes i LTSpice, og simuleres på figur 7.2.8:



Figur 7.2.8: Realiserbart diagram.

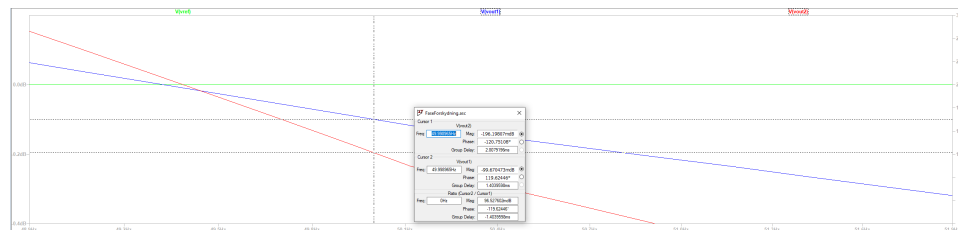
Simuleringen viser:



Figur 7.2.9: Simuleringsresultat i LTSpice.

Altså er outputtet 3 forskudte sinussignaler.

Der foretages en AC analyse, for at se om fase skiftet er det forventede, set på 7.2.10:

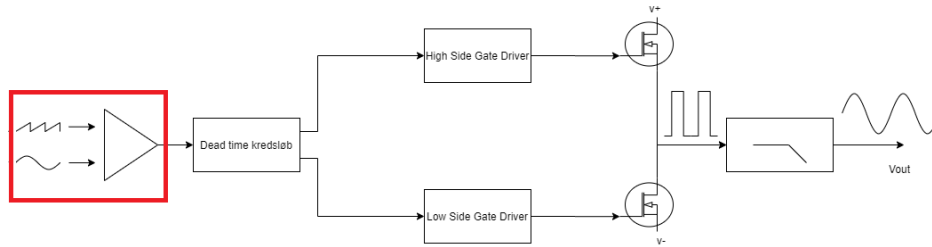


Figur 7.2.10: AC analyse, der viser faseskiftet på faseskift kredsløbet.

Forholdet mellem V_{ref} og V_{out1} er altså knap 120° og forholdet mellem V_{ref} og V_{out2} er altså knap -120° . Derved kan konkluderes at systemet kan lave 3 faser, med en faseforskel på 120° mellem hver fase.

7.3 Generering af PWM signal

Med udgangspunkt i at sinus signalet kan genereres, og faseforskydes, ses i følgende afsnit videre på implementering af sinus PWM, på baggrund af den forklarende teori omkring PWM signal i afsnit 6.5.



Sinus generatoren er bestemt i afsnit 7.1, og faseforskydning af sinussignalet er bestemt i 7.2 hvorfor det kun er størrelsen og frekvensen trekantsignalet der er tilbage.

Slutteligt ses på hvordan det kan implementeres, med faktiske komponenter.

7.3.1 Bestemmelse af trekantsignalets frekvens

Fra 6.5 vides at $m_f \leq 9$, og $m_a \leq 1$. Reference frekvensen er fra 4.1 bestemt til 50 Hz . Fra 7.1 vides at amplituden af referencesignalet er bestemt til at være 3 V .

Først bestemmes amplituden af carriersignalet:

$$\begin{aligned}
 m_a &\leq 1 \approx 0,8 \\
 A_{\text{ref}} &= 3 \text{ V} \\
 m_a &= \frac{A_{\text{ref}}}{A_{\text{carrier}}} \\
 A_{\text{carrier}} &= 3,75 \text{ V}
 \end{aligned} \tag{7.3.1}$$

Så amplituden skal være $3,75 \text{ V}$.

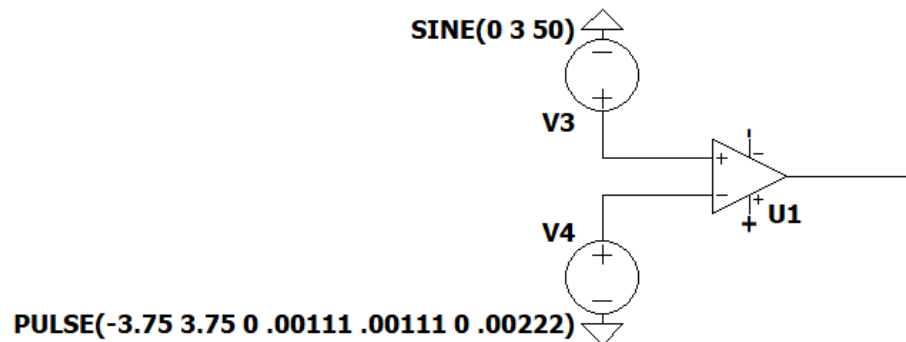
Frekvensen for carriersignalet bestemmes:

$$\begin{aligned}
 m_f &= 9 \\
 f_{\text{ref}} &= 50 \text{ Hz} \\
 m_f &= \frac{f_c}{f_{\text{ref}}} \\
 f_{\text{carrier}} &= 450 \text{ Hz}
 \end{aligned} \tag{7.3.2}$$

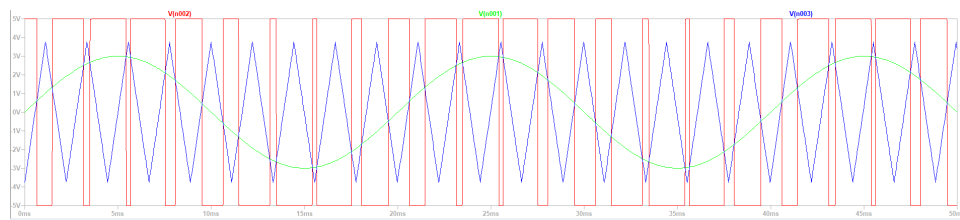
Så frekvensen for carriersignalet skal være 450 Hz .

Enten kan man bruge en komparator, eller en OpAmp. I projektet vælges at arbejde med en OpAmp, da denne også har gode egenskaber som komparator.

Frekvensen, og amplituden eftertestes i LTspice, diagram vist på figur 7.3.1 , og simulering på figur 7.3.2:



Figur 7.3.1: Diagram over trekantmodulation.



Figur 7.3.2: Output af trekantsimulering.

Ud fra LTspice simuleringen kan det ses at amplituden som forventet var højere end på sinus signalet, når $3V$ er valgt.

Når outputtet sammenlignes med de to input, ses det at teorien omkring hvornår den skal være høj, og hvornår det skal være lavt passer med simuleringen. Altså er output signalet lavt når $U_{\text{carrier}} > U_{\text{ref}}$

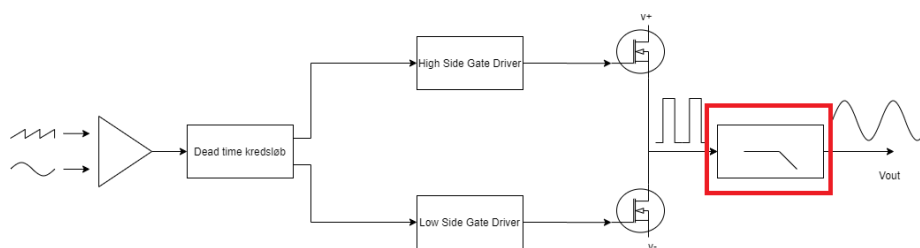
7.3.2 Delkonklusion

Fra 7.1.5 vides at den mest præcise løsning mellem AD9833 og XR2206 er AD9833. Derfor bruges denne også til at genere trekant signalet, som skal bruges i modulationen.

Trekant signalet fra AD9833 kan gennem en OpAmp lave PWM signalet til Klasse D trinnet.

7.4 Bestemmelse af udgangsfiler, og komponenter

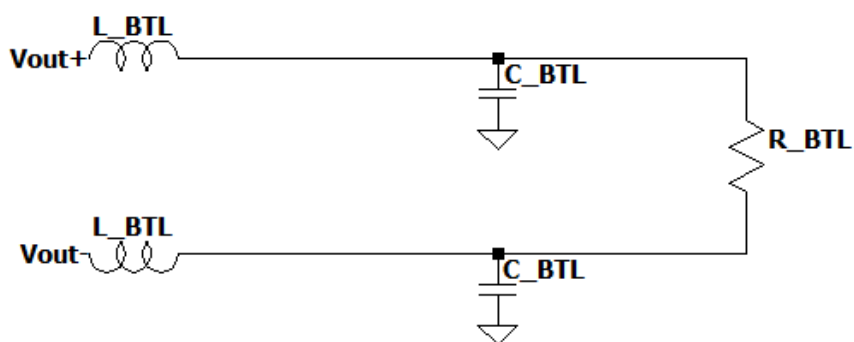
I følgende afsnit bestemmes et passende udgangsfiler til klasse D udgangstrinnet



Filtret skal være et lavpasfilter, og er typisk af typen LC filter, hvorfor dette analyseres først.

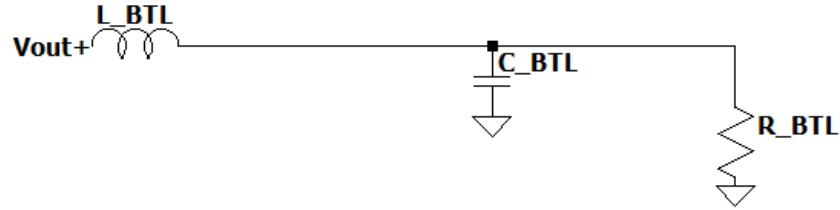
7.4.1 LC filter

Et common mode LC filter ser ud som på figur 7.4.1:



Figur 7.4.1: Common mode LC filter.

Laves der en single ended ækvivalent ser det ud som på figur 7.4.2:



Figur 7.4.2: Common mode LC filter ækvivalent.

På den måde kan man regne på common mode filtret, som et almindeligt LC filter. Fra 6.2.1 vides, at den ønskede Q værdi er $Q = \frac{1}{\sqrt{2}} \approx 0,707$.

Knækfrekvensen er defineret som:

$$f_0 = \frac{\omega_0}{2\pi} \quad (7.4.1)$$

Q er defineret som:

$$Q = R_L \cdot \sqrt{\frac{C}{L}} \quad (7.4.2)$$

Sætter man $Q = \frac{1}{\sqrt{2}}$ ind i 7.4.1 og 7.4.1 og løser for L og C fås:

$$\begin{aligned} L &= \frac{R_L \sqrt{2}}{\omega_0} \\ C &= \frac{1}{\omega_0 R_L \sqrt{2}} \end{aligned} \quad (7.4.3)$$

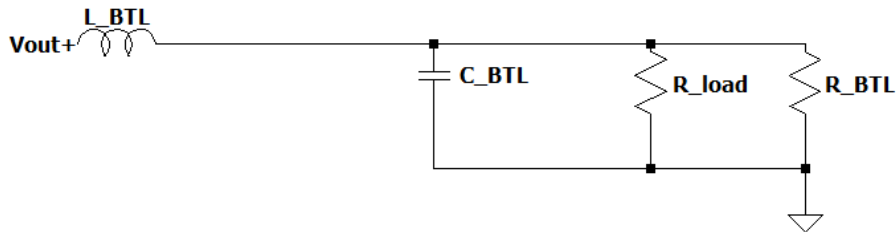
Vi ønsker 50 Hz båndbredde, og load impedansen er $R_{BTL} = 1 M\Omega$.

$$\begin{aligned} L &= \frac{R_L \sqrt{2}}{\Omega_0} = \frac{\frac{R_{BTL}}{2} \sqrt{2}}{\omega_0} \\ L &= 2250 H \end{aligned} \quad (7.4.4)$$

2250 H er en stor induktans, og ikke noget der kan lade sig gøre. Derfor ses på hvordan dette kan løses.

7.4.2 LC filter, med parallel R

En måde at løse det på, kunne være ved at sætte en modstand, der mindre i parallel med udgangen, for at mindske impedansen filtret ser ind i. Dette er vist på figur 7.4.3:



Figur 7.4.3: LC filter med modstand i parallel på udgangen.

Hvis $R \ll R_L$ fås R , når R_L er så høj. F.eks. kunne en passende modstand være $8\ \Omega$, hvor der så vil fås:

$$\begin{aligned}
 R_{\text{tot}} &= R \parallel R_{\text{load}} \\
 \frac{1}{R_{\text{tot}}} &= \frac{1}{R} + \frac{1}{R_{\text{load}}} \\
 \frac{1}{R_{\text{tot}}} &= \frac{1}{8\ \Omega} + \frac{1}{1\ M\Omega} \\
 R_{\text{tot}} &\approx 8\ \Omega
 \end{aligned}$$

Hvis den samlede load i stedet er $8\ \Omega$, så vil en passende L kunne bestemmes,

$$\begin{aligned}
 L &= \frac{\frac{8\ \Omega}{2} \sqrt{2}}{\omega_0} \\
 L &= 0.018\ H = 18\ mH
 \end{aligned}$$

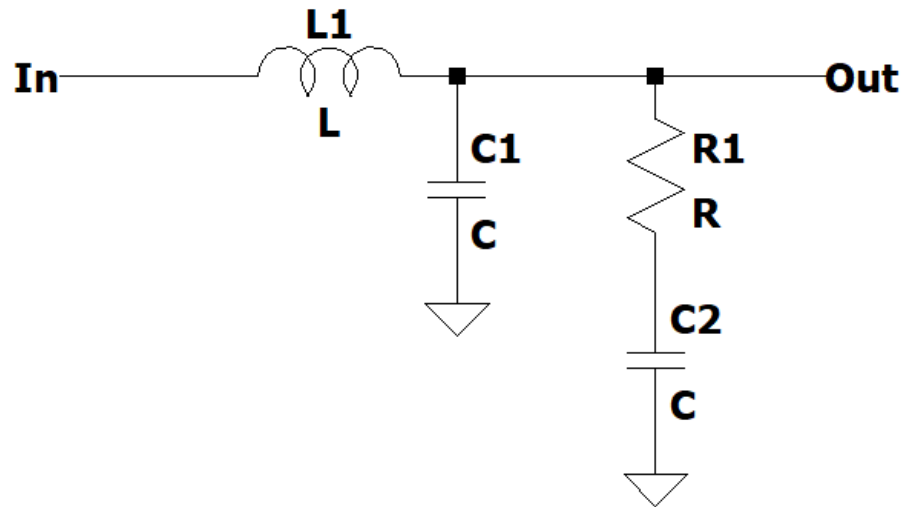
Altså en meget mere realistisk værdi. Problemet heri vil så opstå i det der skal afsættes en stor effekt i den tilføjede modstand:

$$\begin{aligned}
 P &= \frac{U^2}{R} \\
 P &= \frac{(58\ V)^2}{8\ \Omega} \approx 420\ W
 \end{aligned}$$

Altså en alt for stor effekt at afsætte i en, eller flere modstande.

7.4.3 Parallel dæmpet LC filter

En måde at optimere LC filteret, er ved at lave et parallel dæmpet filter, vist på figur 7.4.4:



Figur 7.4.4: Parallel dæmpet LC filter[31] .

Formålet med at gøre dette, er at sænke den impedans LC filtret ser ind i.

RC leddet skal sænke impedansen på samme måde som i 7.4.2. Ved at introducere en kondensator serielt med modstanden, vil der ikke afsættes samme store effekt i modstanden.

Kondensatoren C2 skal have en lavere impedans ved knæfrekvensen, end den ohmske værdi af modstanden R2. Kondensatoren C2 skal også have en højere kapacitans end kondensatoren C1 i LC filteret [31].

L og C bestemmes som ved at almindeligt LC filter, men dæmpningsfaktoren afhænger nu også R1 og beregnes derfor som:

$$\zeta = \frac{n+1}{n} \frac{L}{2R_1\sqrt{LC}} \quad (7.4.5)$$

hvor,

ζ er dæmpningsfaktoren

$C_2 = n \cdot C$

L er induktansen for spolen

R1 er modstanden i serie med kondensatoren

C er kondensator værdien

Den optimale værdi for R1 kan bestemmes som [31]:

$$R_1 = \sqrt{\frac{L}{C}} \quad (7.4.6)$$

Beregninger

Fordi at der forsøges at optimere et ikke optimalt dæmpet filter, beregnes L og C ikke ud fra Q værdien, men L værdien vælges til en realistisk værdi $L = 100mH$.

Fra det kan C bestemmes:

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

$$50Hz = \frac{1}{2\pi\sqrt{100mH \cdot C}} \rightarrow$$

$$C \approx 100\mu F$$

$$Q = R_L \sqrt{\frac{C}{L}} \approx 316$$

Altså er systemet i sig selv underdæmpet.

Den optimale modstand kan så bestemmes:

$$R_1 = \sqrt{\frac{100mH}{100\mu F}} = 31,6\Omega$$

Den optimale værdi for den anden kondensator kan bestemmes på baggrund af n:

$$\zeta = \frac{n+1}{n} \frac{L}{2 \cdot R\sqrt{LC}}$$

$$0.707214 = \frac{n+1}{n} \frac{100mH}{2 \cdot 31,6\Omega\sqrt{100mH \cdot 100\mu F}}$$

$$n = 2,4126$$

Det betyder at C2 bliver:

$$C_2 = n \cdot C \rightarrow c = 241\mu F$$

Størrelsen skulle være højere end C1, så det eftertjekkes:

$$C_2 > C_1 = 241\mu F > 100\mu F$$

Impedansen af kondensatoren skal være mindre end modstanden R1, impedansen kan derfor bestemmes:

$$Z = -j \frac{1}{2\pi f C} = -j \cdot 13,2$$

Så begge krav til C er overholdt.
Dæmpningsfaktoren kan nu beregnes:

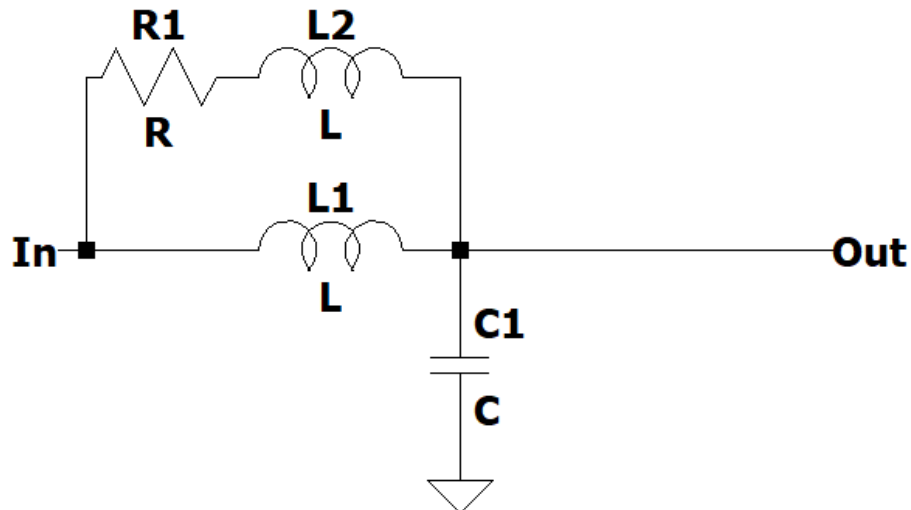
$$\zeta = \frac{2,41 + 1}{2,41} \frac{100 \text{ mH}}{2 \cdot 31,6 \Omega \sqrt{100 \text{ mH} \cdot 241 \mu\text{F}}} = 0,707214$$

$$Q = \frac{1}{2 \cdot \zeta} = 0,707$$

Så systemet er kritisk dæmpet.

7.4.4 Seriel dæmpet LC filter

En anden måde at optimere et LC filter er ved et seriel dæmpet LC filter, vist på figur 7.4.5:



Figur 7.4.5: Serielt dæmpet LC filter.

For et seriel dæmpet filter gælder det at $Z_{L2} < R_1$ ved filtrets resonans frekvens [32].

Den optimale værdi for R kan bestemmes som:

$$R_1 = \frac{\sqrt{L}}{\sqrt{C}} \quad (7.4.7)$$

hvis det opfyldt at:

$$n = \frac{L_2}{L} = \frac{2}{15} \quad (7.4.8)$$

[31].

Hvis ikke det er opfyldt at $n = \frac{2}{15}$ gælder det at [31]:

$$R_1 = 2\zeta_{\text{opt}}(n+1) \frac{\sqrt{L}}{\sqrt{C}} = \frac{\sqrt{L}}{\sqrt{C}} \quad (7.4.9)$$

Hvor det gælder:

$$\zeta_{\text{opt}} = \sqrt{\frac{n(3+4n)(1+2n)}{2(1+4n)}} \quad (7.4.10)$$

[31]

Dæmpningsfaktoren for hele filteret bestemmes som:

$$\zeta = \frac{1}{2} \frac{R_2}{n+1} \frac{\sqrt{C}}{\sqrt{L}} \quad (7.4.11)$$

Beregning

Fra 7.4.3 vides at en passende L og C værdi er:

$$L = 100 \text{ mH}$$

$$C = 100 \mu\text{F}$$

$$Q \approx 316$$

Hvis følgende er opfyldt:

$$\frac{L_2}{L} = \frac{2}{15}$$

Så gælder det at:

$$R_1 = \frac{\sqrt{L}}{\sqrt{C}}$$

så:

$$L_2 = \frac{2}{15} \cdot 100 \text{ mH} = 13 \text{ mH}$$

$$R_1 = \frac{\sqrt{100 \text{ mH}}}{\sqrt{31800 \mu\text{F}}} = 32 \Omega$$

Det skulle gælde at $Z_{L2} < R_1$, så det kontrolleres:

$$Z_{L2} = 2\pi fL = 2\pi \cdot 50 \text{ Hz} \cdot 13 \text{ mH} < 32 \Omega$$

Da $Z_{L2} = 4,2 \Omega$ er kravet overholdt.

Dæmpningsfaktoren og derved Q værdien bestemmes

$$\zeta = \frac{1}{2} \frac{R_1}{n+1} \frac{\sqrt{C}}{\sqrt{L}}$$

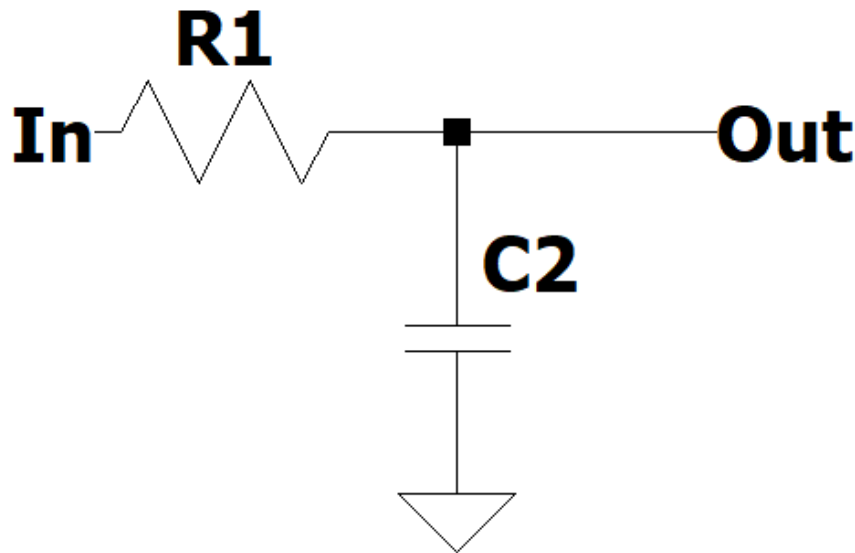
$$\zeta = \frac{1}{2} \frac{32 \Omega}{\frac{2}{15} + 1} \frac{\sqrt{100 \mu F}}{\sqrt{100 \text{ mH}}}$$

$$\zeta = 0,44 \rightarrow Q \approx 1,13$$

Altså er systemet ikke kritisk dæmpet på denne måde - men systemet er tættere på kritisk dæmpet end i 7.4.1. Det parallel dæmpede filter i 7.4.3 var tættere på kritisk dæmpet, og altså er det en bedre løsning, end det seriel dæmpede filter.

7.4.5 RC filter

En anden type lavpas filter er et RC filter, som vist på figur 7.4.6



Figur 7.4.6: RC filter.

For et RC filter gælder det at,

$$f = \frac{1}{2\pi RC} \tag{7.4.12}$$

Strømmen systemet trækker, er op til 1A, og må så være den samme gennem R, hvorfor at effekten over modstanden kan bestemmes:

$$P = I^2 \cdot R = R \quad (7.4.13)$$

Så vælges en 5Ω modstand, skal den holde til $5W$.

Værdien på kondensatoren kan nu bestemmes:

$$50 = \frac{1}{2\pi 5C}$$

$$C \approx 640 \mu F$$

7.4.6 Delkonklusion på udgangsfiltre

Et anden ordens LC filter, uden nogen optimering viste sig ikke at være til at designe uden at have værdier der ikke er realistiske at bruge i en laboratorie strømforsyning.

De to filtre, RC filter og LC filter med en parallel modstand fravælges på baggrund af det tabsfrie LC filter kan optimeres til at virke.

Ses på de forskellige Q værdier for de faktisk egnede LC filtre (parallel dæmpet LC filter, og seriel dæmpet LC filter), ses at den ene er kritisk, og den anden er tæt på.

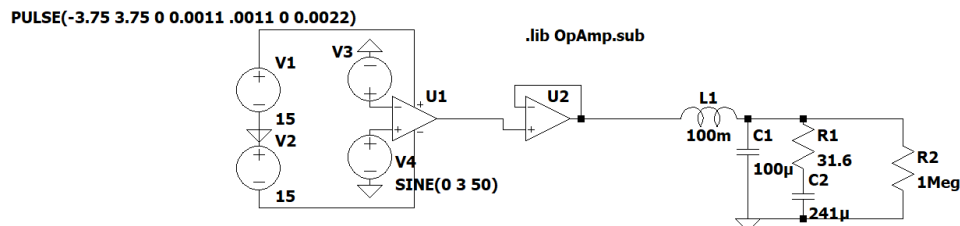
Det parallel dæmpede filter havde en Q værdi på 0,707, altså kritisk dæmpet.

Det seriel dæmpede filter havde en Q værdi på 1,13.

På baggrund af Q værdien vælges at se videre på det parallel dæmpet filter, i LTSpice.

7.4.7 Simulering af parallel dæmpet LC filter

I følgende afsnit ses på nogle yderligere parametre for hvor egnet et parallel dæmpet LC er. Simuleringen er baseret på diagrammet 7.4.7:



Figur 7.4.7: Diagram over parallelt dæmpet LC filter til spice simuleringer

hvor,

U1 er den OpAmp der laver trekant modulationen. Signalerne kommer fra de

ideelle signal generatorer i LTspice, i stedet for at være lavet med AD9833. Dette er for at kunne se hvordan filtret opfører sig, uden at skulle tage hensyn til afvigelser i andre kredsløb.

U2 er en ideel OpAmp, for ikke at have problemer med U1 har en strømbegrænsning.

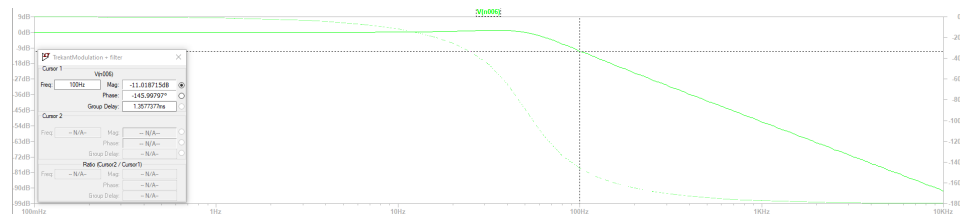
L1, C1, R1, og C2 er beregnet i 7.4.3.

R2 er load.

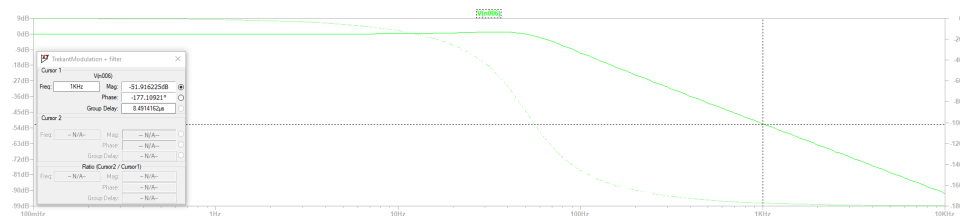
Simulering af beregnede værdier i LTSpice

Filteret bestemt i 7.4.3 skulle være et anden ordens butterworth filter. Det betyder at ifølge frekvensresponsen skulle den dæmpe 40 dB/decade .

Der er en decade mellem 100 Hz , og 1 kHz , så der ses hvor meget der dæmpes i dette område



Figur 7.4.8: Magnitude ved 100 Hz



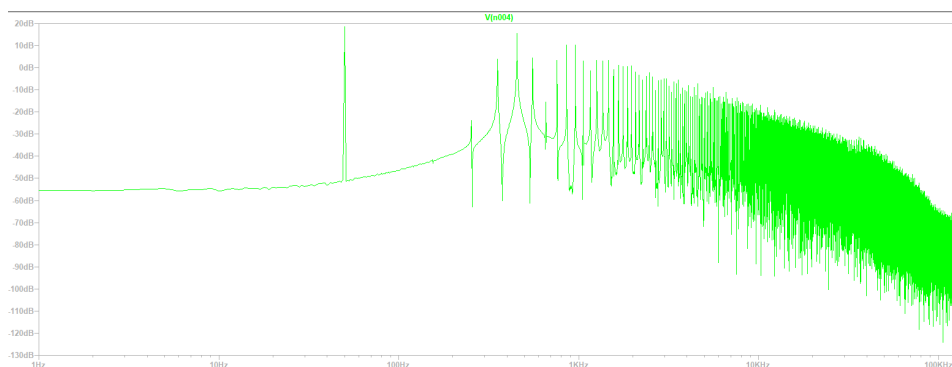
Figur 7.4.9: Magnitude ved 1000 Hz

Så magnituden ved 100 Hz er $-11,02\text{ dB}$, og ved 1 kHz er den $-51,92\text{ dB}$. Altså passer det med 40 dB/decade , og derfor kan det vises at det faktisk er et anden ordens filter.

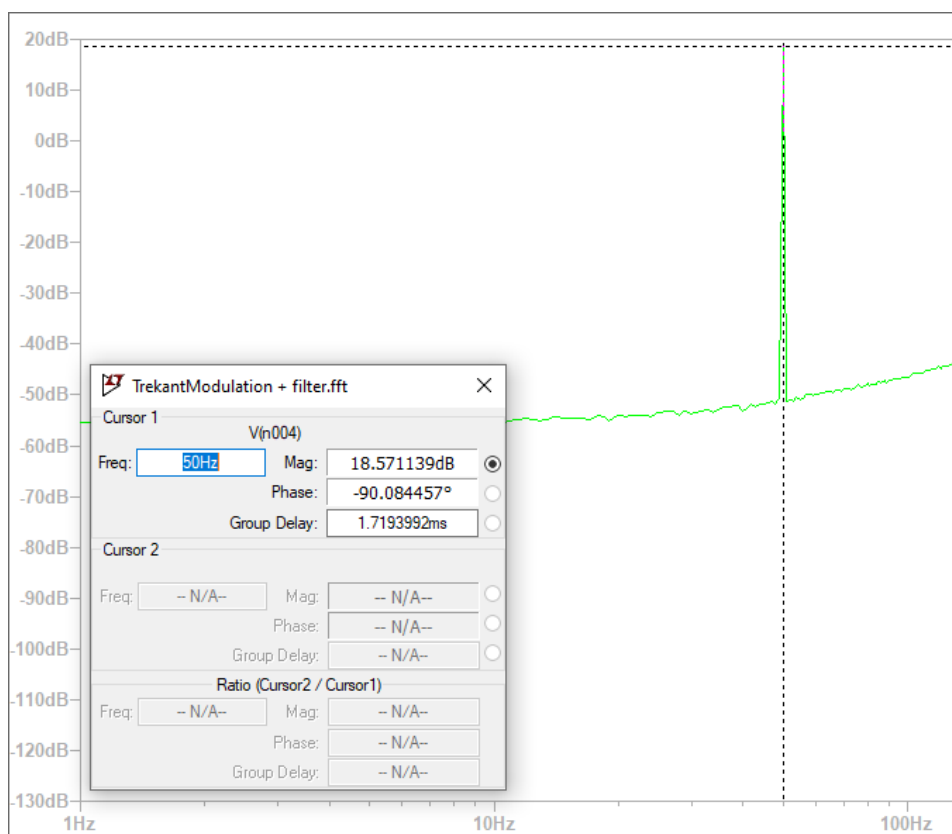
FFT

For at se om filtret dæmper de ønskede frekvenser laves en FFT i spice. Der ses på en FFT af PWM signalet, og af output signalet efter filtret.

Først ses på signalet efter U1, som er et PWM signal vist på figur 7.4.10 samt 7.4.11.

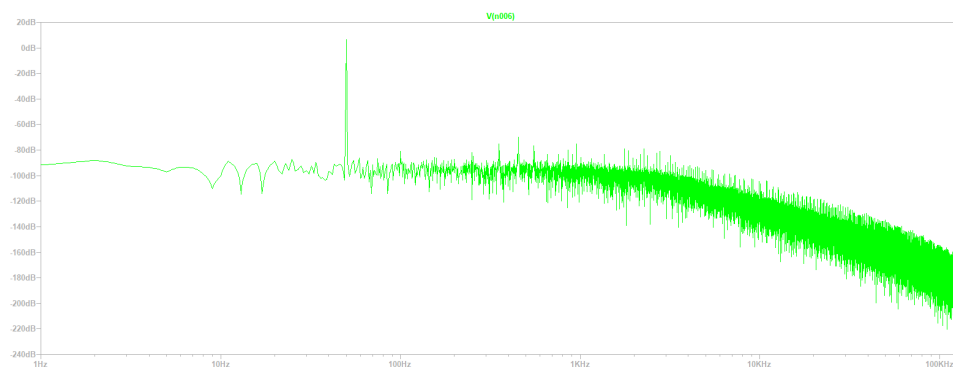


Figur 7.4.10: FFT analyse af PWM signalet.

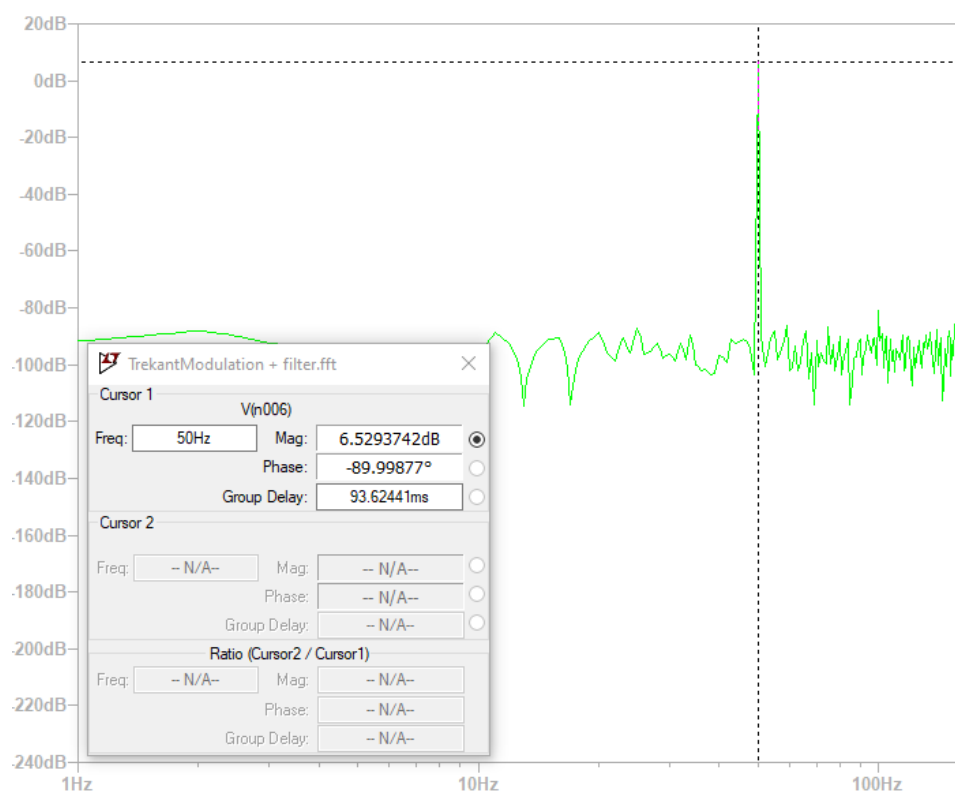


Figur 7.4.11: FFT analyse, med cursor der viser grundtonen er 50 Hz.

Simuleringen viser grundtonen på 50 Hz, samt en mængde harmoniske overtoner. Det er disse overtoner der skal filtreres væk, så der ses nu på signalet efter filtret på figur 7.4.12 og 7.4.13.



Figur 7.4.12: FFT analyse af hele systemet.



Figur 7.4.13: FFT analyse, med cursor ved grundtonen 50 Hz.

Igen kan det ses at grundfrekvensen er 50 Hz, og at netop denne tone ikke er dæmpet - men at alle frekvenser over den er filtreret væk.

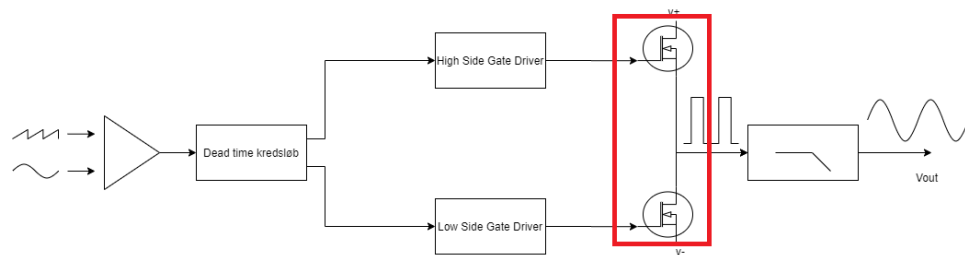
7.4.8 Del konklusion

På baggrund af beregningerne, og test i spice kan det konkluderes at et parallel dæmpet LC filter vil være velegnet til konstruktionen. Der er

foretaget en matematisk beregning af Q værdien, som viser at filtret er kritisk dæmpet. Derudover er det vist via FFT og frekvensresponsen at det også i en simulering viser sig at være velegnet.

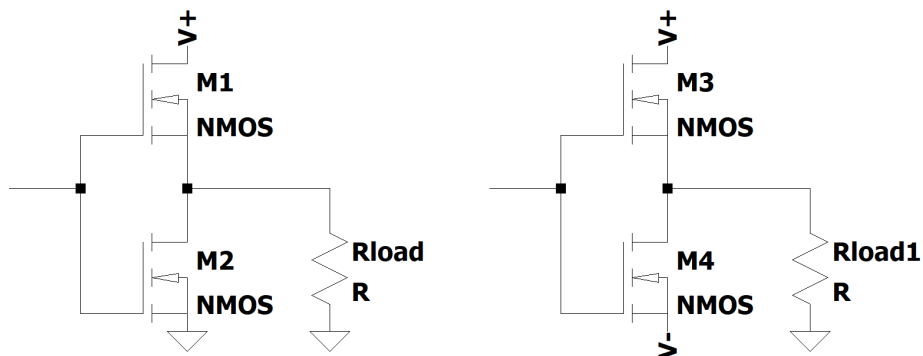
7.5 Valg af udgangstopology

Der vil i følgende afsnit ses på forskellige måder hvorpå udgangstrinnet i et klasse D trin kan konstrueres. Udgangstrinnet kan konstrueres som enten halfbridge, eller fullbridge. Begge typer vil blive analyseret, og det bedste til opgaven vil blive valgt.



7.5.1 Halfbridge opkobling

En halfbridge opkobling består af to MOSFET'er, forbundet til enten $V+$ og GND, eller $V+$ og $V-$ [33]. Princippet er illustreret på 7.5.1:

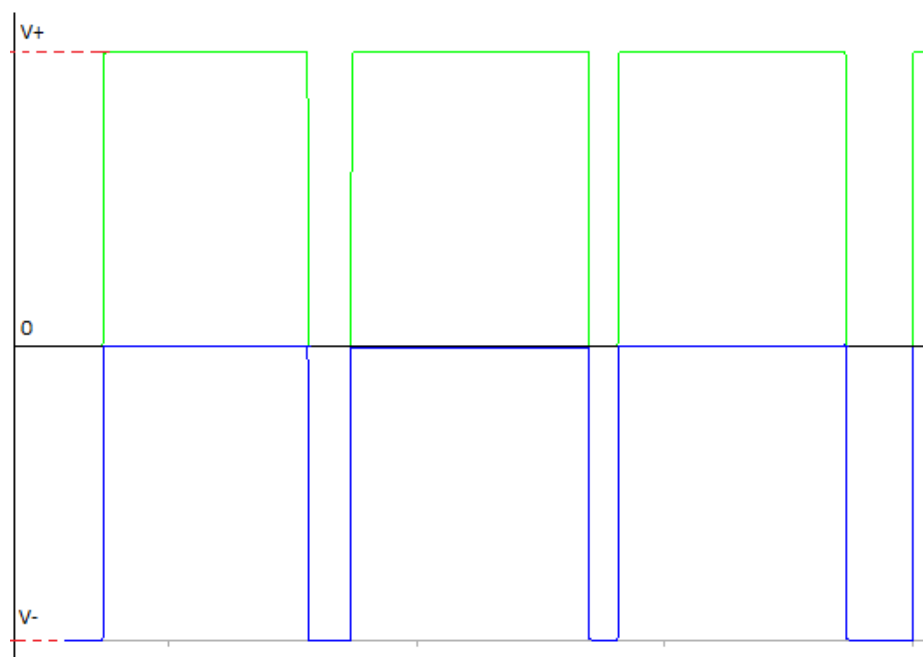


Figur 7.5.1: Halfbridge klasse D output stage.

På figuren er en halfbridge illustreret med to N kanal MOSFET'er - men det kan altså også være en N kanal, og en P kanal.

På grund af behovet for AC udgangsspænding omkring nul ses videre på halfbridge konfigurationen med $V-$.

De to MOSFET'er virker i en push / pull konfiguration, hvor de leder hver deres del af PWM signalet, for at lave et samlet PWM signal fra $V-$ til $V+$ illustreret på figur 7.5.2:

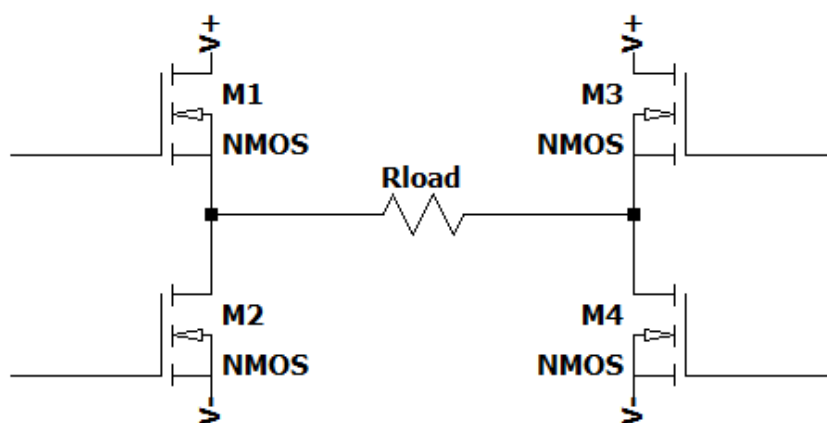


Figur 7.5.2: Halfbridge klasse D output

Den load der tilsluttes en halfbridge, tilsluttes mellem udgangen og GND - ses også på 7.5.1.

7.5.2 Fullbridge opkobling

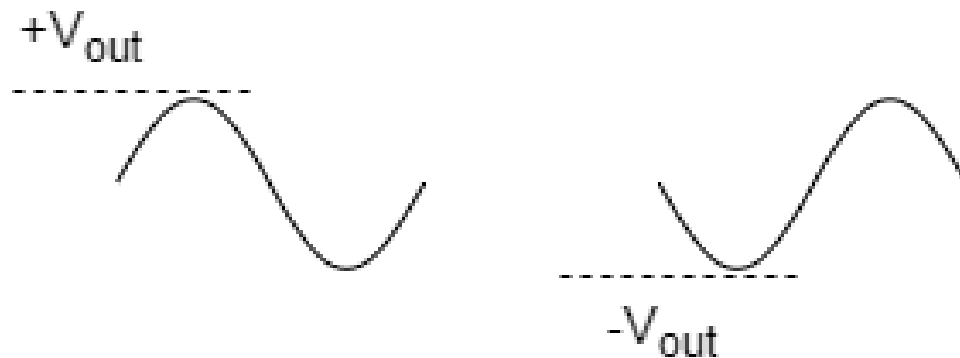
En fullbridge består modsat af 4 MOSFET'er som er forbundet "to og to" over en fælles load [33]. Dette er illustreret på figur 7.5.3:



Figur 7.5.3: Fullbridge klasse D outputstage.

En fullbridge er altså bare to halfbridge, der tilsluttes den samme load. Loaden er derved ikke forbundet mellem output og GND, men mellem de halfbridge som giver Out- og Out+.

Signalet på den ene halfbridge er faseforskudt 180° , ift. signalet på den anden halfbridge. På den måde kan man skabe et potentiale over loaden, som er den samme som den vil være i en halfbridge - men med den halve forsyningsspænding. Illustreret på figur 7.5.4:



Figur 7.5.4: Udgangsspændingen på en fullbridge er på de to kanaler faseforskudt.

7.5.3 Halfbridge eller fullbridge

For resten af projektet arbejdes med en halfbridge, på baggrund af kravet 4.1 omkring at det skal være 3 faset med nul. For at tilbyde nul, kræver det halfbridge, da fullbridge ikke er forbundet til nul.

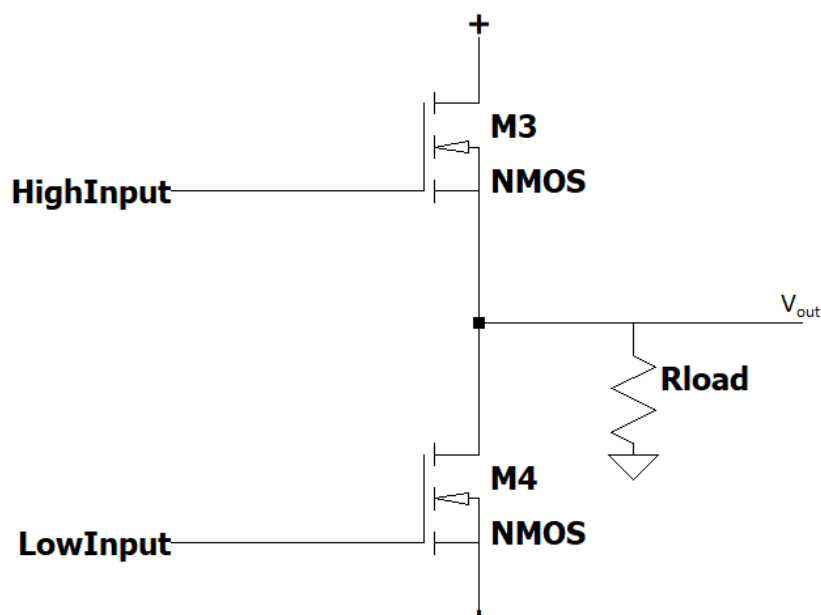
7.5.4 Udgangstransistor type

I følgende afsnit ses på hvilke typer MOSFET der skal vælges til udgangstrinnet, efter at have valgt at udgangstrinnet skal være et halfbridge design.

Udgangstrinnet kan laves som 2 N kanal MOSFET, eller en N kanal MOSFET og en P kanal MOSFET.

2 N kanal MOSFET

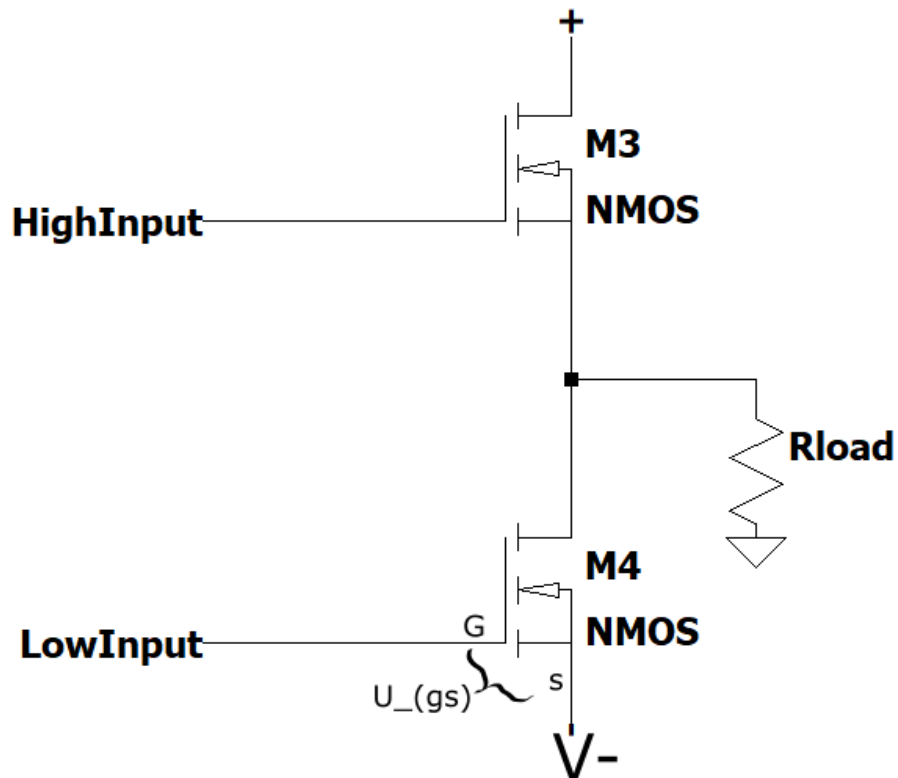
Den ene måde at lave udgangstrinnet i et klasse D udgangstrin, er ved at have to N kanal MOSFET'er, som på figur 7.5.5:



Figur 7.5.5: Klasse D output stage med 2 N kanal MOSFET.

I sådan et system vil U_{gs} være forskellig, fra den nederst MOSFET (M4) og den øverste MOSFET (M3).

Der ses på den negative del af push pull systemet først, vist på figur 7.5.6:



Figur 7.5.6: Klasse D output stage med 2 N kanal MOSFET.

Så kan det altså ses at source spændingen, er lig med V_- . For at $U_{gs} = 0\text{ V}$ må det gælde:

$$\begin{aligned} U_{\text{gate}} &= (V_-) \rightarrow \\ U_{\text{gs}} &= 0\text{ V} \end{aligned} \quad (7.5.1)$$

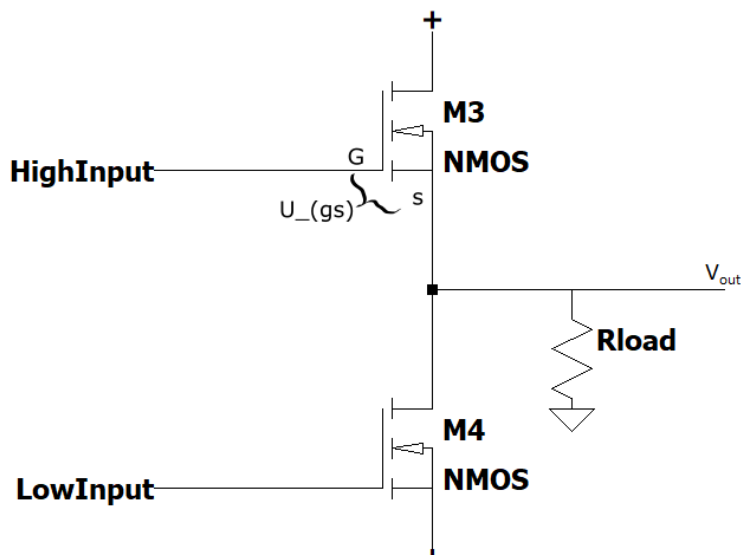
og for at opnå gate source-spænding, må spændingen på gaten kunne beskrives som:

$$U_{\text{on}} = (V_-) + U_{\text{gs}} \quad (7.5.2)$$

Spændingen på gaten, skal det altså rykkes ned til V_- i stedet for nul. For at mætningsspændingen opnåes skal gate spændingen være:

$$U_G = (V_-) \rightarrow ((V_-) + U_{\text{gs}}) \quad (7.5.3)$$

Ses så på den positive del af push pull systemet, vist på figur 7.5.7 :



Figur 7.5.7: Klasse D output stage med 2 N kanal MOSFET.

Så kan man altså se at source spændingen er lig med output, da PWM outputtet for et klasse D trin svinger rail-to-rail:

$$U_{\text{out}} : V- \rightarrow V+$$

Når den nederste MOSFET er tændt, skal den øverste MOSFET være slukket. Men på outputtet er der $V-$, hvilket betyder:

$$\begin{aligned} U_{\text{gate}} &= V- \rightarrow \\ U_{\text{gs}} &= 0 \text{ V} \end{aligned} \quad (7.5.4)$$

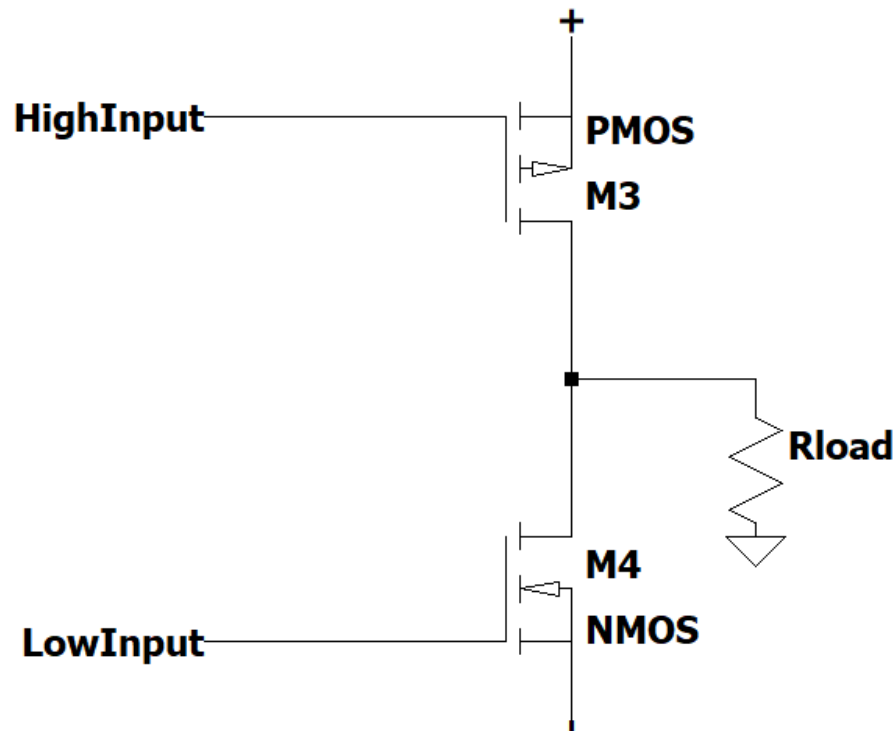
Når den øverste MOSFET skal lede, vil der på outputtet være $V+$, hvilket betyder:

$$U_{\text{gate}} = (V+) + U_{\text{gs}} \quad (7.5.5)$$

Det betyder altså, at man skal have en højere spænding end rail spændingen til rådighed.

N kanal og P kanal MOSFET

En anden måde at konstruere klasse D udgangstrinnet på er med en P kanal MOSFET, og en N kanal MOSFET, som på figur 7.5.8:

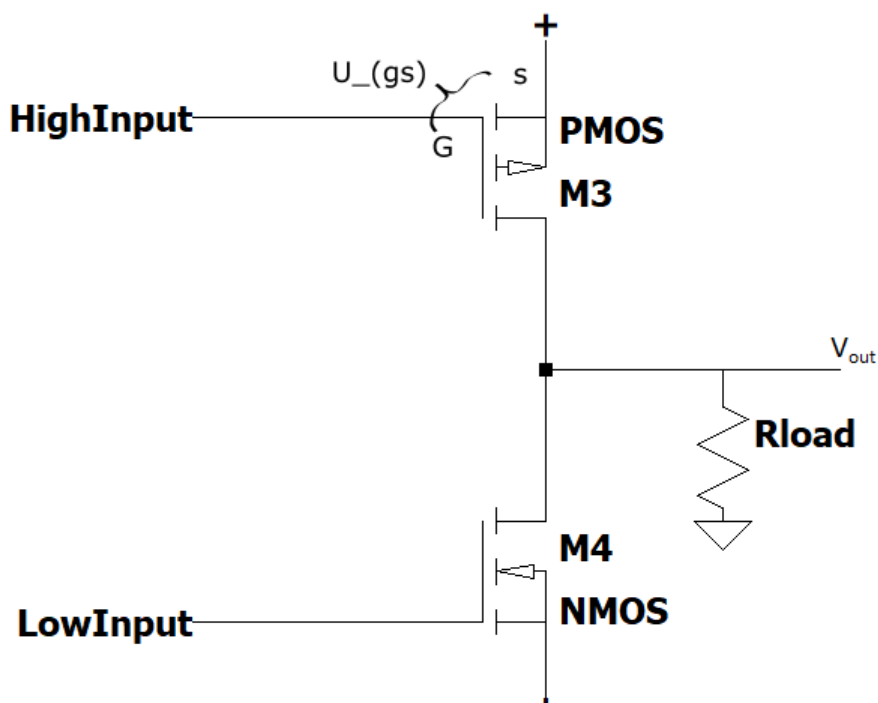


Figur 7.5.8: Klasse D output stage med både N kanal MOSFET og P kanal MOSFET.

Der gælder i sådan konstruktion det samme for den negative del af push pull systemet som der gjorde i 7.5.4, altså kan gate spændingen beskrives som:

$$U_G = (V-) \rightarrow ((V-) + U_{gs}) \quad (7.5.6)$$

For den positive del af push pull systemet er det dog anderledes, da source ikke længere er på output, vist på figur 7.5.9:



Figur 7.5.9: Klasse D output stage med både N kanal MOSFET og P kanal MOSFET.

Nu gælder det altså at for at MOSFET'en er off, så er gate spændingen

$$\begin{aligned} U_{\text{gate}} &= V+ \rightarrow \\ U_{\text{gs}} &= 0 \text{ V} \end{aligned} \quad (7.5.7)$$

og for at MOSFET'en er on, så skal gate spændingen være

$$U_{\text{gate}} = V + -U_{\text{gs}} \quad (7.5.8)$$

Det betyder altså, at hvis der anvendes to forskellige typer af MOSFET, så er der ikke behov for en spænding højere end rail spændingen.

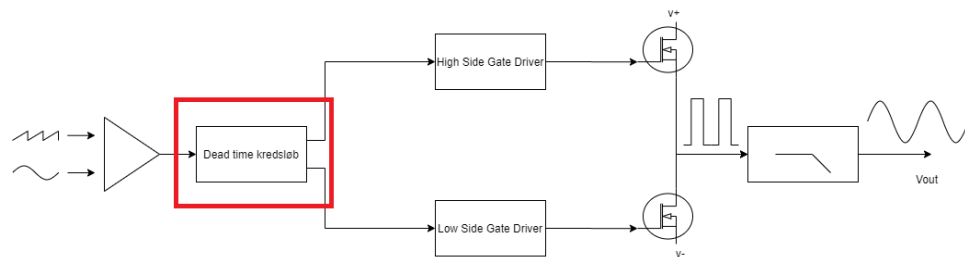
Problemet i denne konstruktion er, at det ikke er typisk med ækvivalente MOSFET. Typisk er state-of-the-art løsninger lavet med 2 N kanal MOSFET'er. Det kan være på grund af højere on-modstand i en P kanal, end i en komplementær N kanal MOSFET. Hvis den samme on-modstand skal opnås, skal P kanalen være højere. Ydermere er kapacitanterne højere på en P kanal, end en N kanal.

7.5.5 Delkonklusion på udgangs MOSFET'er

På baggrund af dette forsættes projektet med to N kanal MOSFET'er. Der vælges at arbejde videre med IRF530.

7.6 Bestemmelse af nødvendig dead time, og design af kredsløb

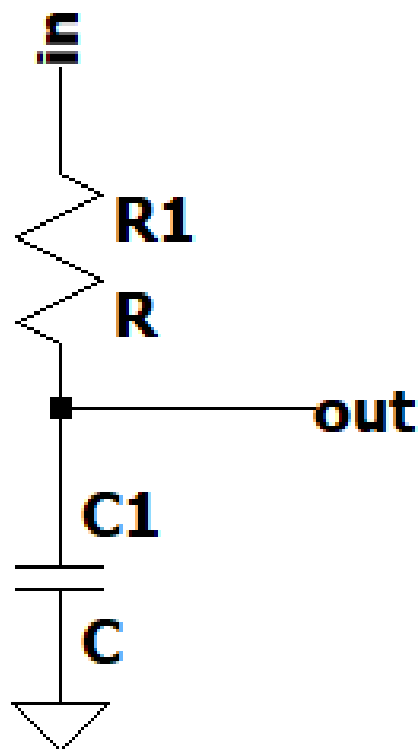
I følgende afsnit vil der ses på hvordan dead time kan introduceres i systemet.



Fra afsnit 6.4 vides det at dead time er påkrævet i et switching system der går fra positiv til negativ forsyningsspænding. Det er for at systemet ikke skal kunne kortslutte det MOSFET'en ikke momentant er off.

7.6.1 Kredsløbsdesign

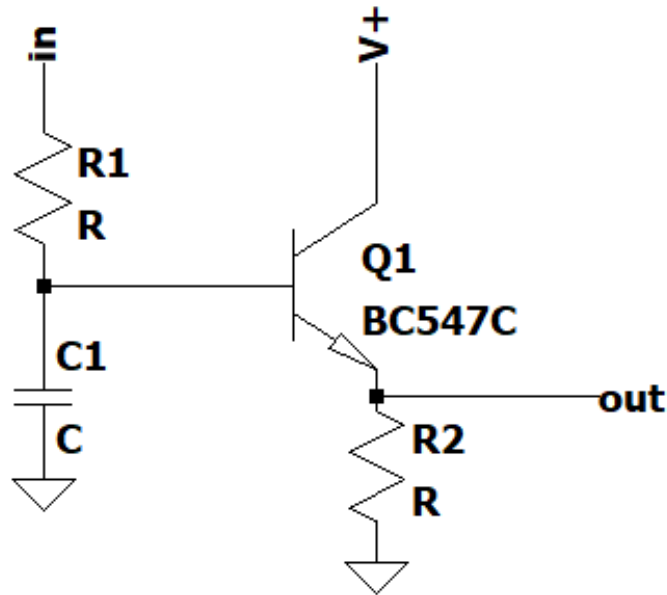
En måde at introducere et delay, er ved hjælp af et RC filter, vist på 7.6.1:



Figur 7.6.1: Et RC led kan introducerer et delay på outputtet.

Delay i sådan et system vil da være bestemt af tidskonstanten τ som er bestemt som $RC = \tau$

Ved at gøre sådan, vil man dog risikere et spændingsfald, derfor laves også et buffer led, vist på figur 7.6.2:



Figur 7.6.2: Et RC led introducere delay, og en BJT er buffer.

7.6.2 Nødvendig dead time

Den nødvendige dead time kan beregnes som:

$$t_{dead} = ((T_{DOffMax} - T_{DOnMin}) + (T_{PddMax} - T_{PddMin})) \cdot 1,2 \quad (7.6.1)$$

[34]

hvor,

$T_{DOffMax}$ er turn off delay - opgivet i databladet for MOSFET'en

T_{DOnMin} er turn on delay - opgivet i databladet for MOSFET'en

T_{PddMax} er gate delay - opgivet i databldet for logik kredsen.

T_{PddMin} er gate delay - opgivet i databldet for logik kredsen.

Beregning af værdier

Først regnes nødvendig dead time for IRF530

$$t_{dead} = ((T_{DOffMax} - T_{DOnMin}) + (T_{PddMax} - T_{PddMin})) \cdot 1,2 \quad (7.6.2)$$

[34]

Fra databladet for IRF530 kan følgende læses,

$$T_{DDOffMax} = 23 \text{ ns} \quad [35]$$

$$T_{DDOnMin} = 10 \text{ ns} \quad [35]$$

På baggrund af at det ikke er en logik kreds der introducerer dead time i systemet, laves et kvalificeret gæt på baggrund af data fra IR2110 - en gate

driver der introducere dead time [36]

$$T_{DPddMin} = 150 \text{ ns}$$

$$T_{DPddMax} = 125 \text{ ns}$$

Endelig dead time kan nu beregnes,

$$t_{dead} = (23 \text{ ns} - 10 \text{ ns} + 150 \text{ ns} - 125 \text{ ns}) \cdot 1,2 = 45,6 \text{ ns} \approx 46 \text{ ns}$$

Så der skal introduceres 46 ns dead time.

R eller C kan beregnes, på baggrund af

$$\tau = RC \quad (7.6.3)$$

R bestemmes til 1 k , og C beregnes

$$46 \text{ ns} = 1 \text{ k}\Omega \cdot C$$

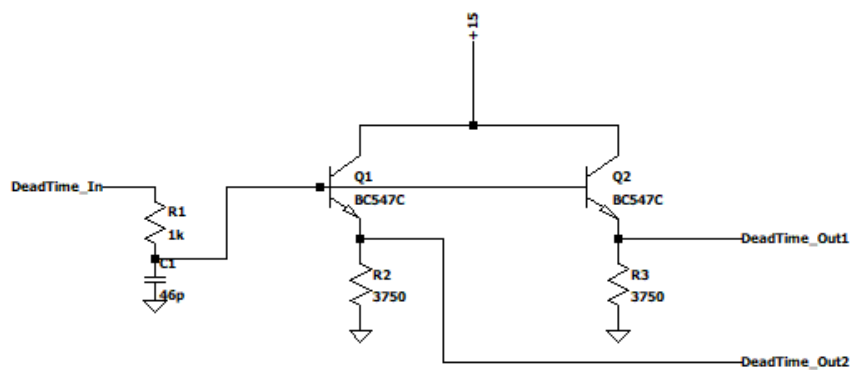
$$c = 46 \text{ pF}$$

Fordi kondensatorer varierer meget i værdi, så vælges en kondensator der som minimum har en kapacitans på 46 pF . Det betyder, at varierer de med 10% vælges en kondensator størrelse på 52 pF , da hvis den så varierer med 10% negativt, er den endelige kapacitans stadig 46 pF .

Man kan gøre på den måde fordi det er en minimum dead time værdi der er beregnet, og ikke en endelig værdi.

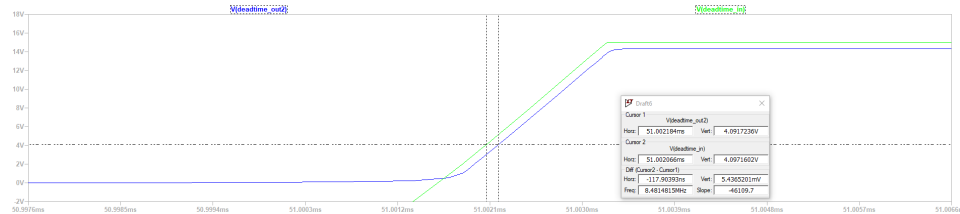
7.6.3 simulering af dead time kredsløb

På figur: 7.6.3 ses kredsløbet af dead time og med beregnede værdier.



Figur 7.6.3: dead time kredsløb med værdier.

Værdierne eftertestes i LTSpice, og via simulering ses effekten af dead time kredsløb på figur: 7.6.4.



Figur 7.6.4: Graf som viser effekten af dead time kredsløbet.

Værdierne for tiden kan trækkes fra hinanden på de 2 grafer og så fåes det, at der er et delay på 118 ns altså, en højere dead time end forventet. Det kan skyldes indgangskapacitans, eller indgangsmodstand på BJT'en, hvorfor RC leddet simuleres for sig hvor der fås et delay på 46 ns . Det øgede delay, vil give øget dead time, og derved øget THD, men det kan justeres ind senere hvis det nødvendigt at sænke den.

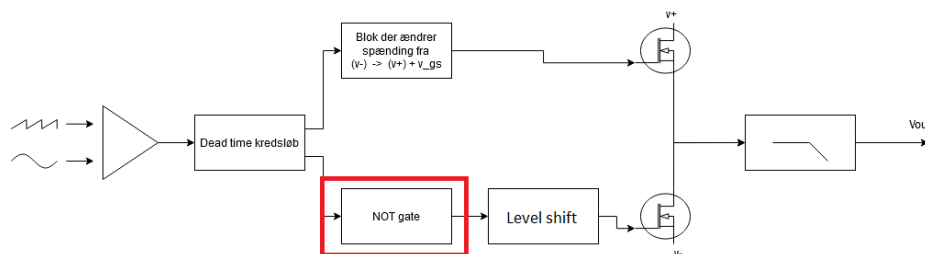
7.7 Design af en low side driver

I dette afsnit ses på en MOSFET driver til low side siden af udgangstrinnet. Det bygges op som et inverterende led, og der introduceres et negativt DC offset. Dette er for at spændingen skal svinge mellem V_- og $((V_-) + 15\text{ V})$.

En gatedriver vil typisk være konstrueret således at den både trækker den lave, og høje side af udgangstrinnet, så f.eks. en IR2110 ville være en simplere løsning end den her beskrevne [36]. På baggrund af læringsaspektet vælges dog at konstruere en gate driver fra bunden.

7.7.1 NOT kredsløb

I følgende afsnit ses på hvordan et inverterende system kan designes:



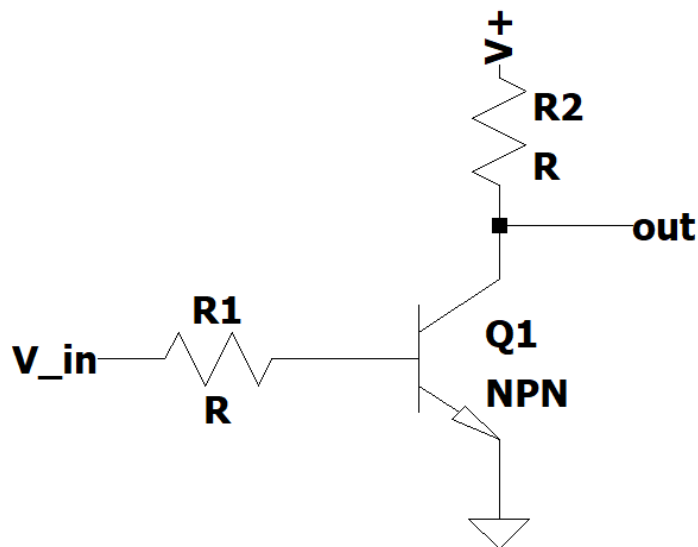
Grunden til dette er nødvendigt, er fordi at udgangs MOSFET'erne skal være i et push pull system, men udgangssignalet fra de to udgange efter dead

time kredsløbet er identiske. Er de to signaler til MOSFET'erne identiske, vil de tænde og slukke samtidig.

Så, et inverterende kredsløb designes.

Kredsløbsdesign

Systemet laves med en BJT, vist på figur 7.7.1:



Figur 7.7.1: BJT kredsløb, som fungerer som en NOT gate.

På den måde, når basen bliver mættet, vil udgangssignalet gå LAV. Når basen så ikke er mættet, er udgangssignalet HØJ. Så får man en sandhedstabel, vist på tabel 7.7.1:

In	Out
1	0
0	1

Derved har man et inverteret signal.

Bestemmelse af værdier

Størrelsen R2 bestemmes ud fra et arbejds punkt. Et arbejds punkt på 4 mA vælges, for at få nok strøm til næste kredsløb, og undgå clipping. Derfra fås:

$$R = \frac{U}{I}$$

$$R = \frac{15 V}{4 mA} = 3750 \Omega$$

Størrelsen R_1 bestemmes ud fra U_B . Strømmen på basen er defineret som:

$$I_B = \frac{I_C}{H_{fe}} \quad (7.7.1)$$

H_{fe} er oplyst i databladet og der vælges en BC547 som har en minimum H_{fe} på:

$$H_{fe} = 110$$

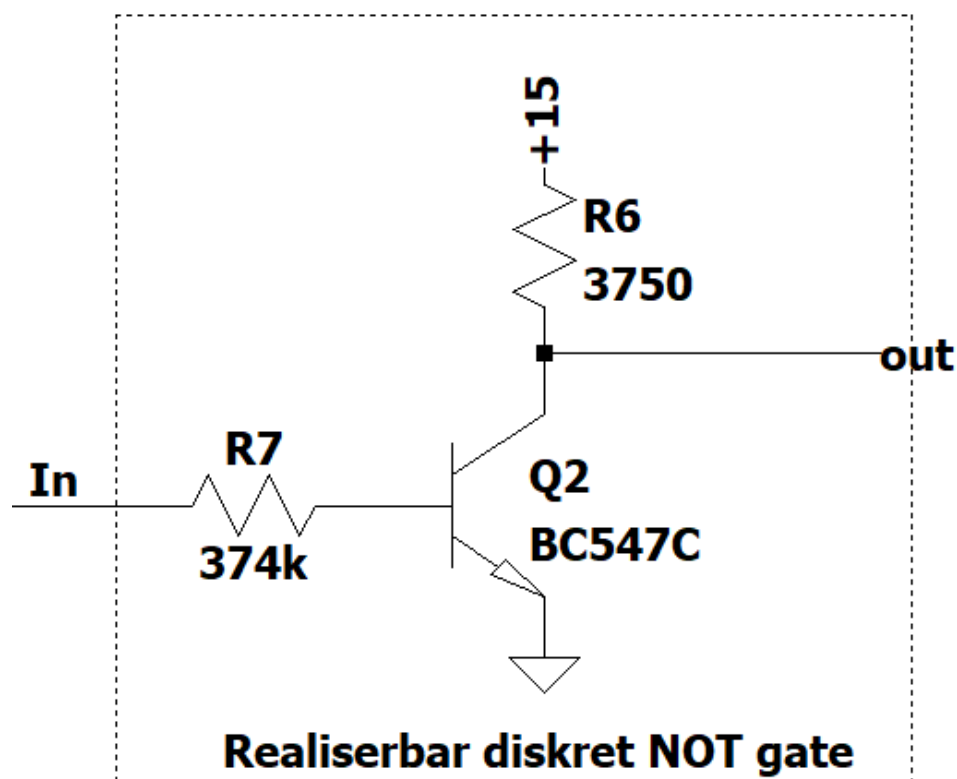
[37].

Mætningsspændingen for en BC547 er typisk $0,7\text{ V}$ [37]. Indgangssignalet er $14,3\text{ V}$, fra dead time kredsløbet 7.6. Så basestrømmen og basemodstanden bliver:

$$\begin{aligned} I_b &= \frac{4\text{mA}}{110} = \frac{1}{27500} \\ R_b &= \frac{U_{in} - U_{sat}}{I_b} \\ R_b &= \frac{14,3\text{ V} - 0,7\text{ V}}{0,36\text{ mA}} = 374\text{ k}\Omega \end{aligned}$$

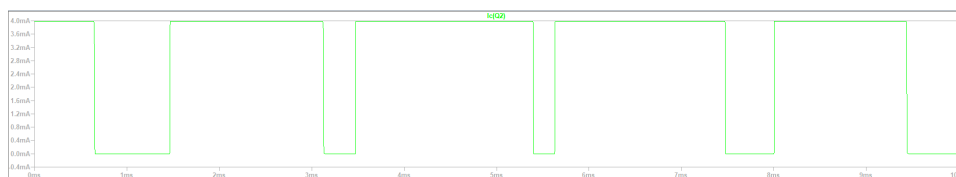
LTspice simulering

Kredsløbet laves i LTspice, med beregnede værdier, ses på figur 7.7.2:



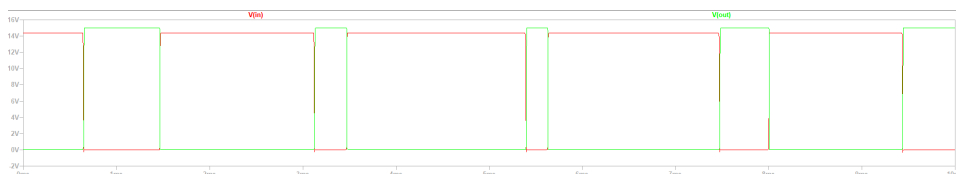
Figur 7.7.2: Diskret NOT gate, i LTspice.

Først tjekkes at collector strømmen er den beregnede, ses på figur 7.7.3:



Figur 7.7.3: Collector strømmen, på NOT kredsløbet.

Funktionen af NOT gaten er testet, ses på figur 7.7.4:



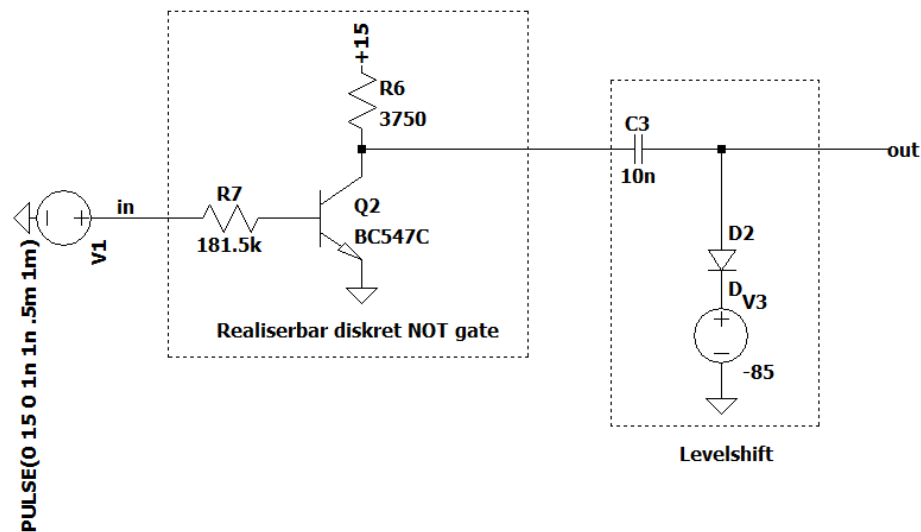
Figur 7.7.4: Input sammenlignet med Output for NOT kredsløbet.

7.7.2 Levelshift i low side driver

Fra 6.5.1, vides at man kan trække et signal ned vha. en kondensator, diode og spændingsforsyning. Princippet bruges i low side driveren, og en passende værdi af kondensatoren findes ved simulering.

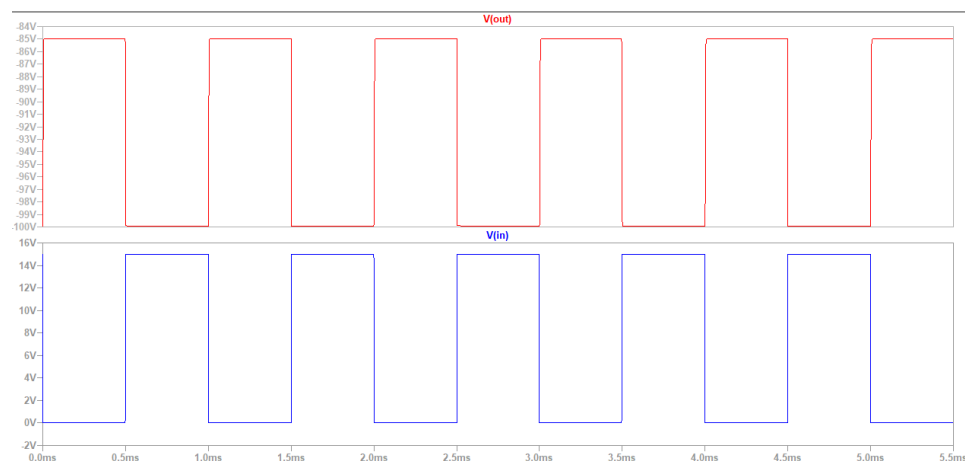
7.7.3 Samlet low side driver

Den samlede low side driver er vist på figur 7.7.5:



Figur 7.7.5: Samlet low side driver.

En simulering i LTspice laves. Det forventes at når input signalet er nul, er udgangssignalet -85 V . Det forventes at når input signalet er 15 V , er udgangssignalet -100 V . Simuleringen er vist på figur 7.7.6:

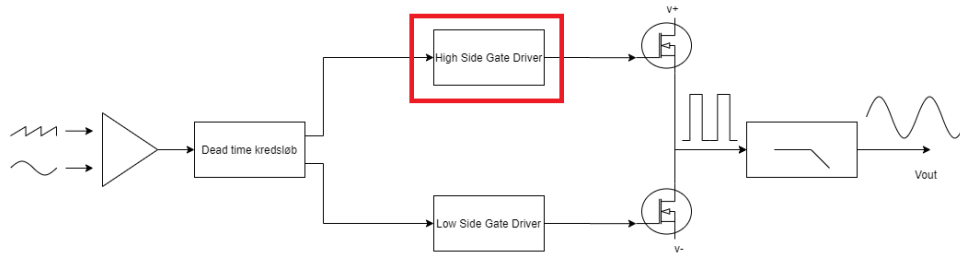


Figur 7.7.6: Simulering af low side driveren, hvor input og output vises

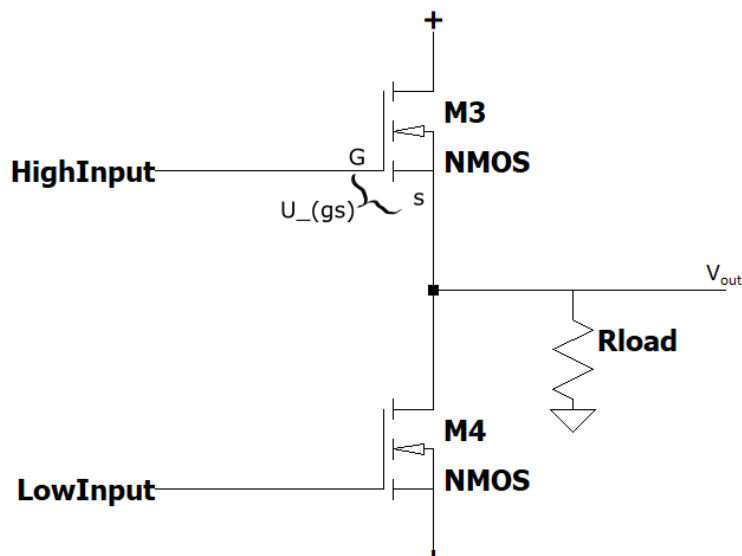
Derved kan det konkluderes at low side driveren fungere som tiltænkt.

7.8 Design af high side driver

High side gate driveren skal sørge for at gaten af den øverste N kanal MOSFET ser mellem V_- , og $(V_+) + U_{gs}$.



På koncept diagrammet fra afsnit 7.5.4, vist på figur 7.8.1:



Figur 7.8.1: Klasse D output stage med 2 N kanal MOSFET.

Så ses at source spændingen er lig med output, hvor det gælder at:

$$U_{out} : V_- \rightarrow V_+$$

Da PWM outputtet for et klasse D trin svinger rail-to-rail.

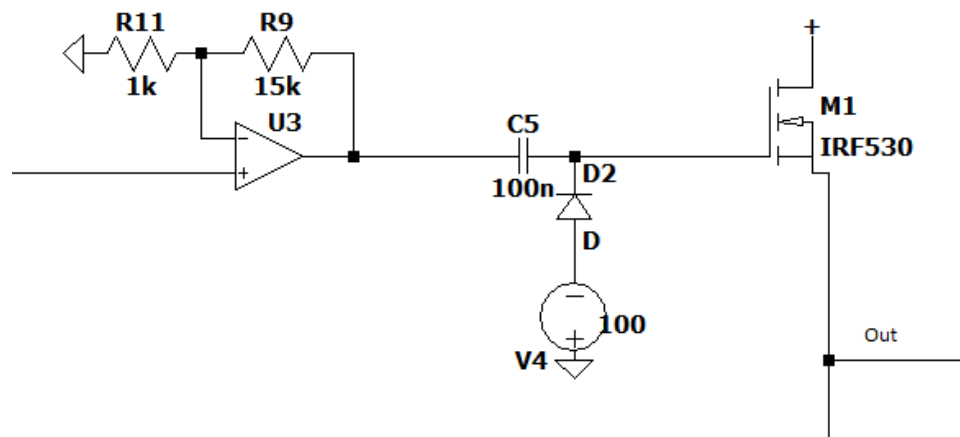
Det betyder altså at gate spændingen på den positive MOSFET skal være fra -100 V til 115 V . Hvilket vil sige, at PWM signalet skal svinge fra -100 V til 115 V , dette skal der laves en løsning til.

Ydermere så fra afsnit 6.3 vides det at der på gaten af en MOSFET kan trækkes en stor strøm. Dead time kredsløbet er ikke dimensioneret til at der skal trækkes store strømme her fra, hvorfor det er nødvendigt med en driver.

Typisk vil man bruge en færdig gate driver, f.eks. IR2110 [36], som sørger for at indgangsspændingen på den øverste MOSFET er korrekt. Samme gatedriver blev beskrevet i afsnit 7.7, hvor det nævnes at den også kan være low side gate driver. På baggrund af det læringsmæssige aspekt bruges en færdig gate driver ikke, men skulle man lave et endeligt produkt vil dette være en foretrukken løsning. Den fylder mindre, og tager kortere tid at implementere.

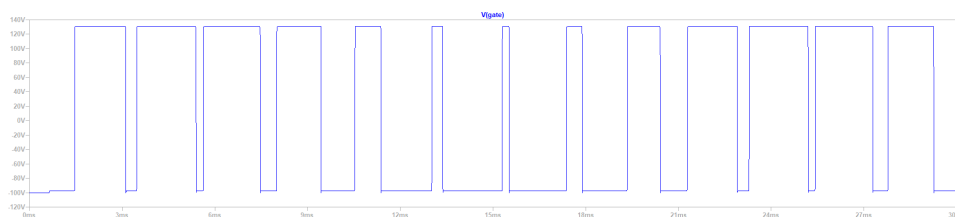
7.8.1 Konceptuel løsning

For at efterteste at der skal være -100 V til 115 V blev en konceptuel løsning lavet i LTspice, ses på figur 7.8.2:



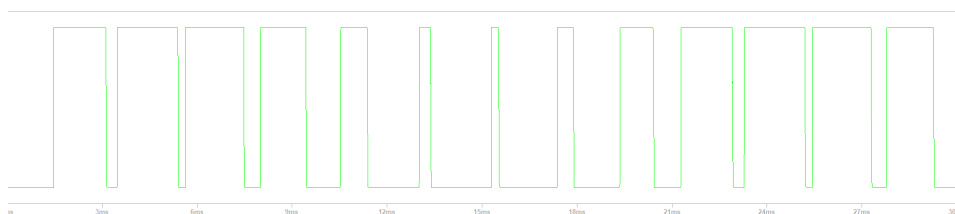
Figur 7.8.2: Positiv del af klasse D ugangstrin, hvor hele diagrammet er konceptuelt.

Gate spændingen bliver så, vist på figur 7.8.3:



Figur 7.8.3: Gate spændingen på en N kanal MOSFET der forsynet med $+100\text{ V}$.

Og output spændingen, vist på figur 7.8.4:



Figur 7.8.4: Udgangsspænding på et klasse D trin, forsynet med $\pm 100\text{ V}$.

Altså kan det ses at når rail spændingen er $\pm 100\text{ V}$, skal gate spændingen være $-100 - > 115\text{ V}$ på gaten.

7.8.2 Reelt Kredsløbs design

Kravene til kredsløbet er:

- Når indgangen er 0, er udgangsspændingen -100 V
- Når indgangen er 1, er udgangsspændingen 115 V

Det gælder at når indgangen er 0, så er indgangsspændingen 0 V .
Det gælder også at når indgangen er 1, er indgangsspændingen 15 V .

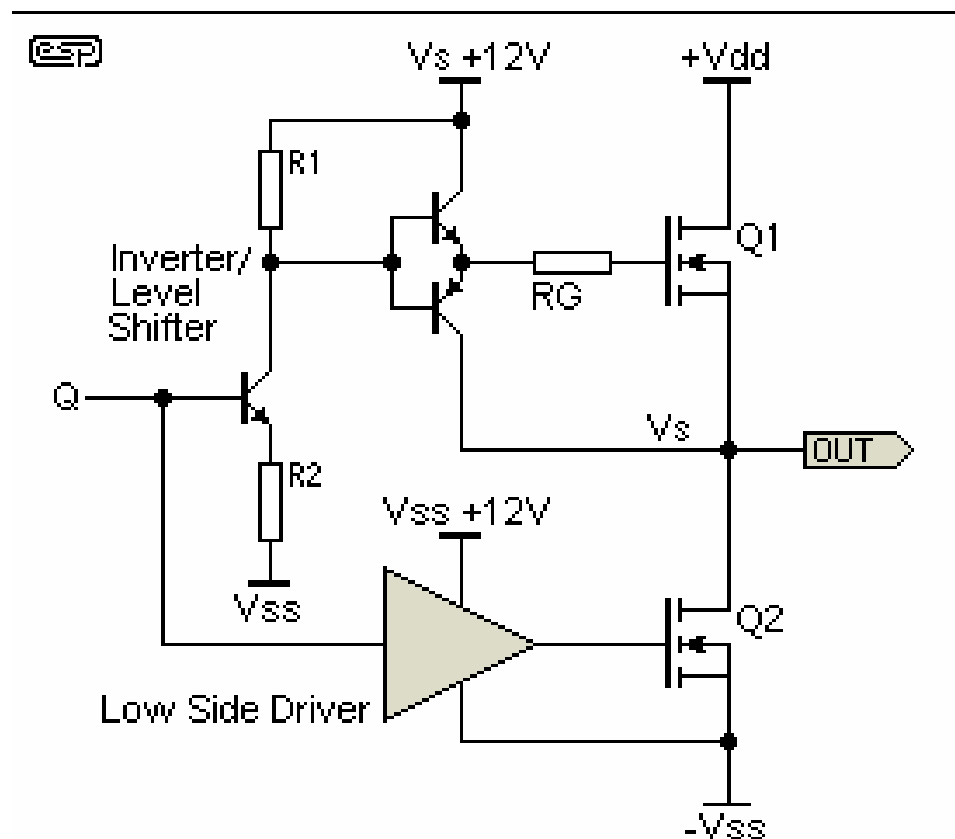
Løsning 1

En løsning er at forstærke $0 - 15\text{ V}$, til $0 - 215\text{ V}$, og tilføje et DC offset - som gjort i det konceptuelle løsningsforslag set på figur 7.8.2. Ved at gøre sådan, kræver det dog at man har 215 V forsyningspænding til rådighed, men fra 5.1.1 vides at elnettet kan svinge helt ned til 207 V . Derfra kan løsningen udelukkes.

Løsning 2

Beskrivelsen af følgende løsning, er beskrevet på måden hvorved kredsløbet er designet.

En måde at lave en gate driver på, er vist på figur 7.8.5:

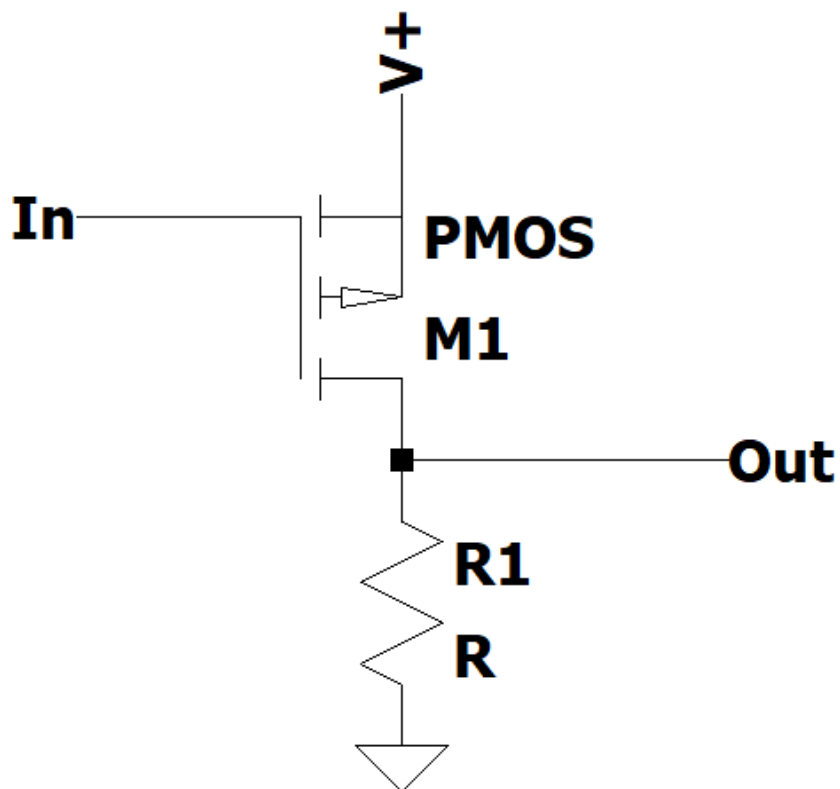


Figur 7.8.5: En gate driver, hvor gaten trækkes lav og høj via. BJT [33].

I det kredsløb, bruger man to BJT'er til at trække gate spændingen op til V_+ , og ned til V_- . Der er ingen dokumentation i kilden på hvordan kredsløbet skal fungere - bare at det fungerer. Derfor blev kredsløbet brugt som inspiration, i stedet for som løsning.

Så, hvis to BJT kan trække gate signalet op eller ned kan to MOSFET transistorer også, så det tages der udgangspunkt i. MOSFET'er bruges i stedet for BJT'er, for at lave systemet spændingsstyret.

For ikke at have samme problem på den positive halv del af driveren tages udgangspunkt i en P kanal MOSFET i stedet for en N kanal MOSFET, vist på figur 7.8.6:



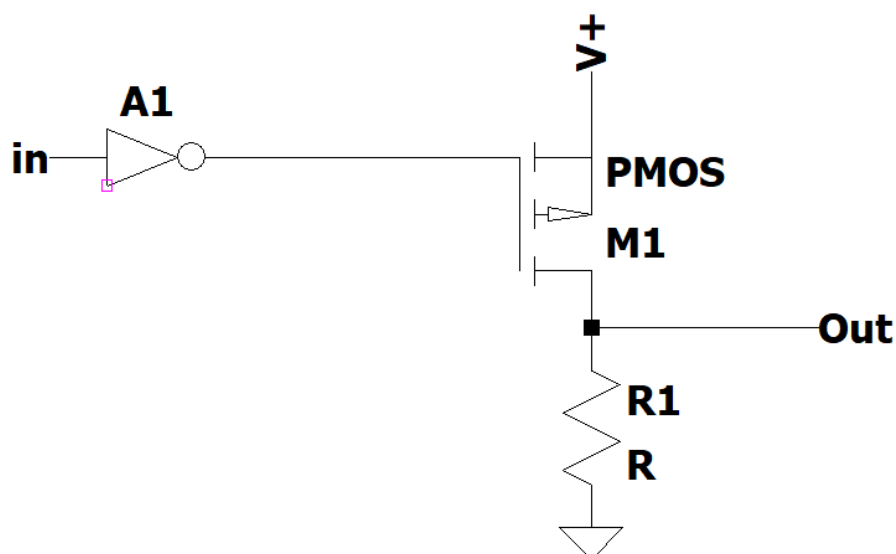
Figur 7.8.6: P kanal MOSFET med $V+$, in og out.

I kredsløbet 7.8.6 gælder det at,

- Når indgangssignalet er 0, er udgangssignalet $V+$
- Når indgangssignalet er 1, er udgangssignalet 0

Altså er kredsløbet omvendt af hvad det der blev ønsket i afsnit 7.8.2.

Dette kan løses med en NOT gate, vist på figur 7.8.7:



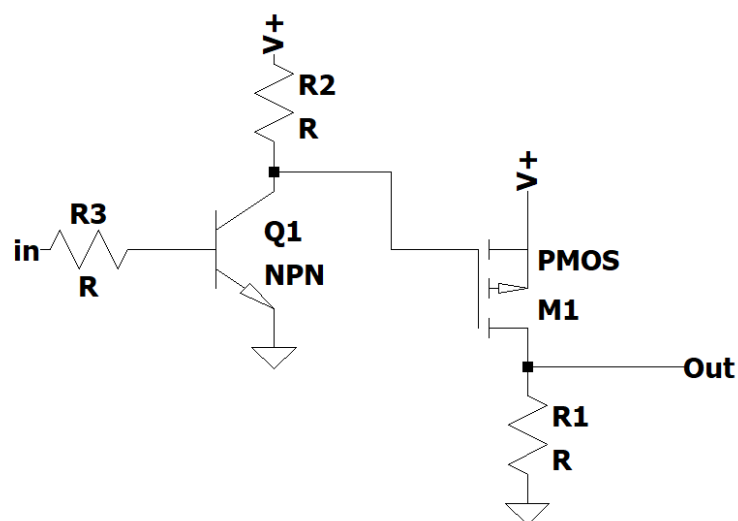
Figur 7.8.7: P kanal MOSFET med $V+$, in , out og en NOT gate.

I kredsløbet på figur 7.8.7 gælder nu at:

- Når indgangssignalet er 1, er udgangssignalet $V+$
- Når indgangssignalet er 0, er udgangssignalet 0

Altså overholder det kravet til når indgangssignalet er 1, hvis $V+$ er 115 V , stillet i afsnit 7.8.2.

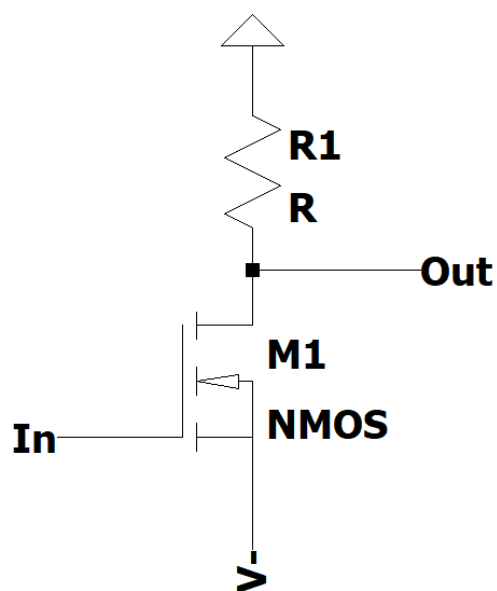
I stedet for en NOT gate, laves et simpelt kredsløb med en BJT, vist på figur 7.8.8:



Figur 7.8.8: P kanal MOSFET med $V+$, in, out og en diskret NOT gate.

Altså er der designet et kredsløb der overholder det ene af de to krav.

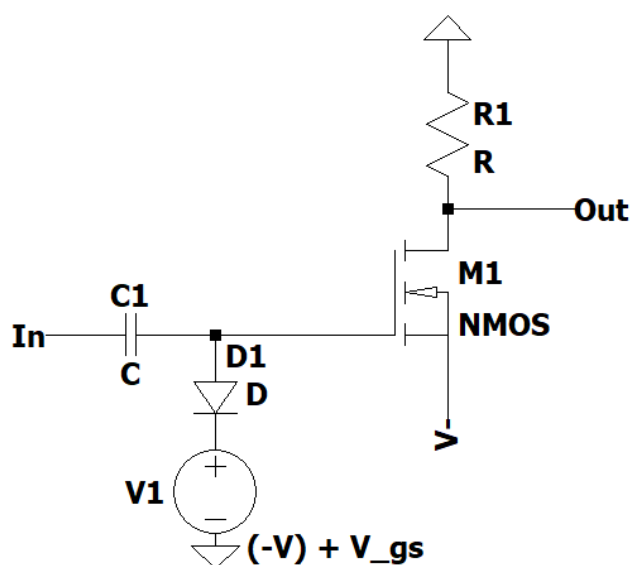
Det andet krav, "Når indgangssignalet er 0, er udgangssignalet $V-$ " løses også med en MOSFET - men i stedet for en P kanal MOSFET, løses det en N kanal MOSFET vist på figur 7.8.9:



Figur 7.8.9: N kanal MOSFET med $V-$, in og out.

For at gate-source spændingen i kredsløbet er mellem 0 og mætnings-

spændingen laves et passende DC offset, vist på figur 7.8.10:

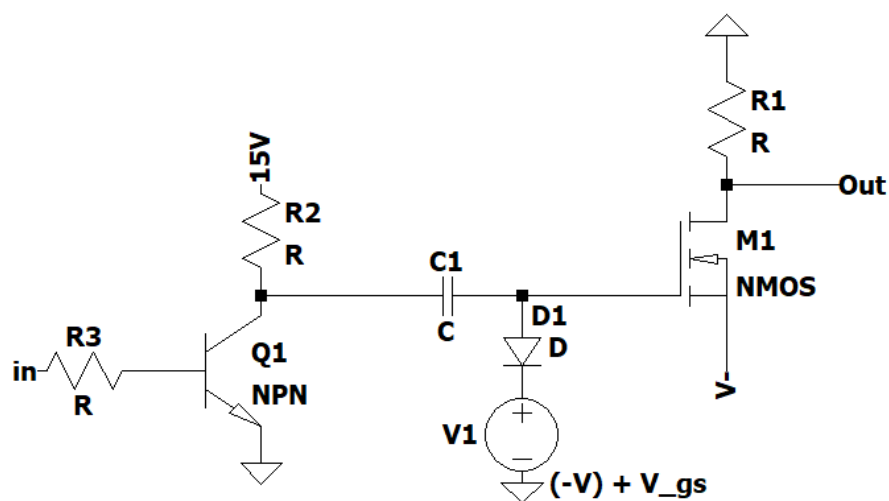


Figur 7.8.10: gate-source spændingen med DC offset inden den går i gaten.

Hvis spændingen på in er mellem 0 og 15 V, så vil det nu gælde at:

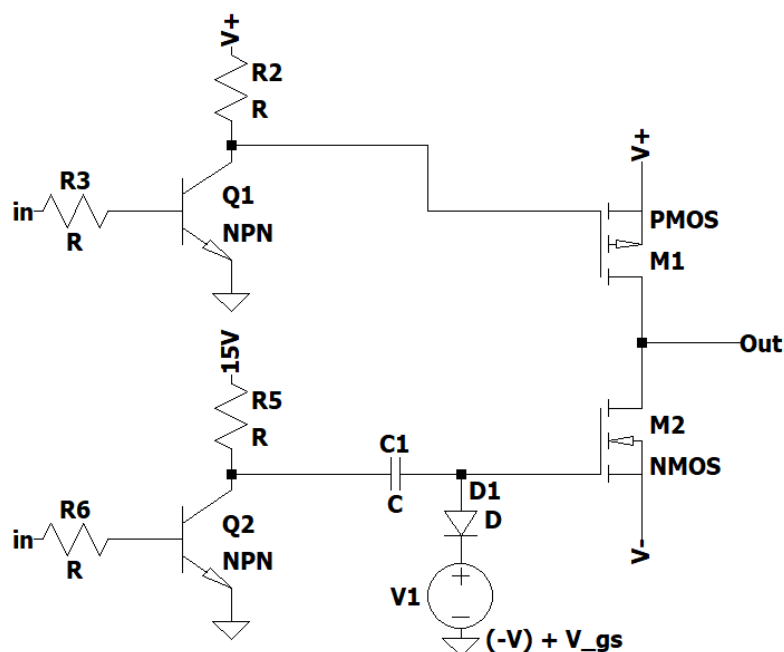
- Hvis indgangssignalet er 0, er udgangssignalet 0
- Hvis indgangssignalet er 1, er udgangssignalet V-

Altså er det igen omvendt af det ønskede, derfor implementeres igen en NOT gate, vist på figur 7.8.11:



Figur 7.8.11: N kanal MOSFET, med DC ofsett på gate spændingen, og en diskret NOT gate.

Sættes de to systemer sammen fås følgende, vist på figur 7.8.12:



Figur 7.8.12: Samlet HIGH side N kanal MOSFET driver.

hvor det, såfremt systemet har $\pm 100V$ rail spændinger gælder det at,

$$V+ : U_{\text{PositiveRailSupply}} = 115V$$

$$V- : U_{\text{NegativeRailSupply}} = -100V$$

$$(-V) + V_{gs} = -100V + 10V = -90V$$

Transistoren Q1 er bestemt til at være 2N5550.

Transistoren Q2 er bestemt til at være en BC547.

Passende værdier for R2, R3, R5 og R6 kan bestemmes, ud fra arbejds-punkter, hvor 4 mA vælges som arbejds punkt:

$$I_{R2} = 4mA$$

$$V+ = 115V$$

$$R_2 = \frac{V+}{I_{R2}} = \frac{115V}{4mA} = 28750\Omega$$

R3 kan bestemmes via HFE, som for en 2N5550 mindst er 60 [38]:

$$I_C = HFE \cdot I_B$$

$$I_B = I_{R3} = \frac{4mA}{60} = 67\mu A$$

$$U_{BESat} = 1,2V$$

$$U_{R3} = 13,3 - 1,2 \rightarrow R_3 = \frac{13,3 - 1,2}{67\mu A} = 181500\Omega$$

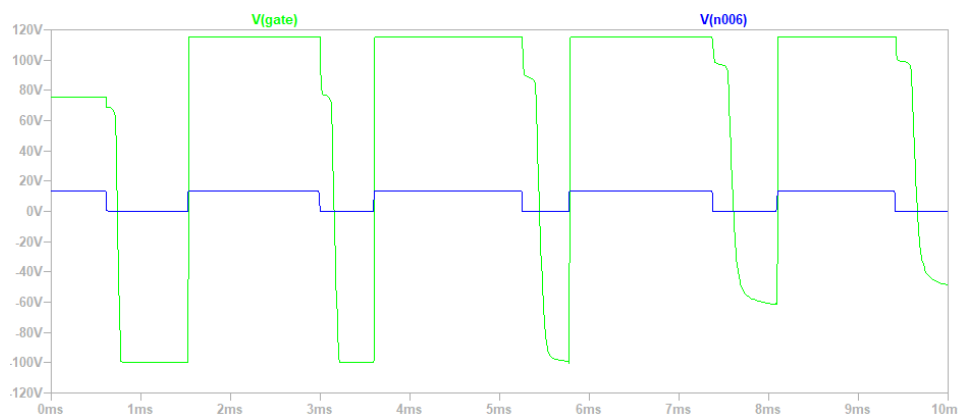
Samme udregning laves for R5 og R6

Værdierne indsættes i LTspice, og en simulering laves - vist på figur 7.8.13:



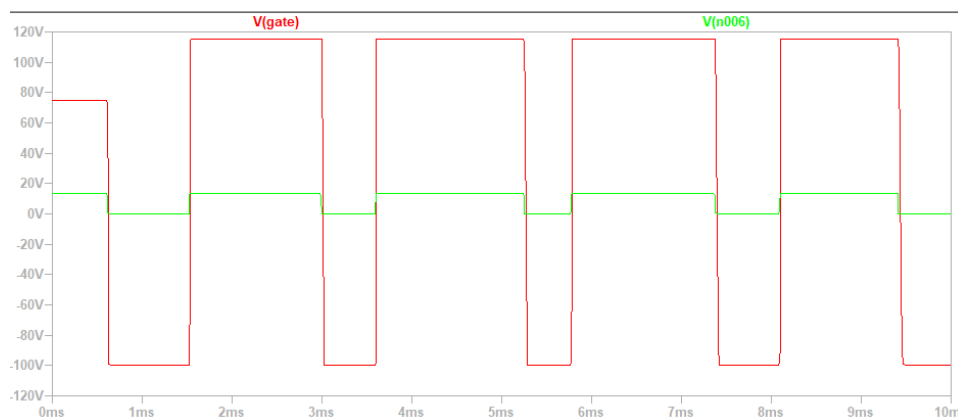
Figur 7.8.13: Udgangsspændingen efter Gate driveren.

Hvis der laves en visuel sammenligning med indgangssignalet, kan det ses at den stiger korrekt, men spændingen falder anderledes. Der kommer et ikke ønsket delay, og en forvrængning. Det er heller ikke altid kredsløbet går helt ned til $V-$, når det går lavt - vist på figur 7.8.14:



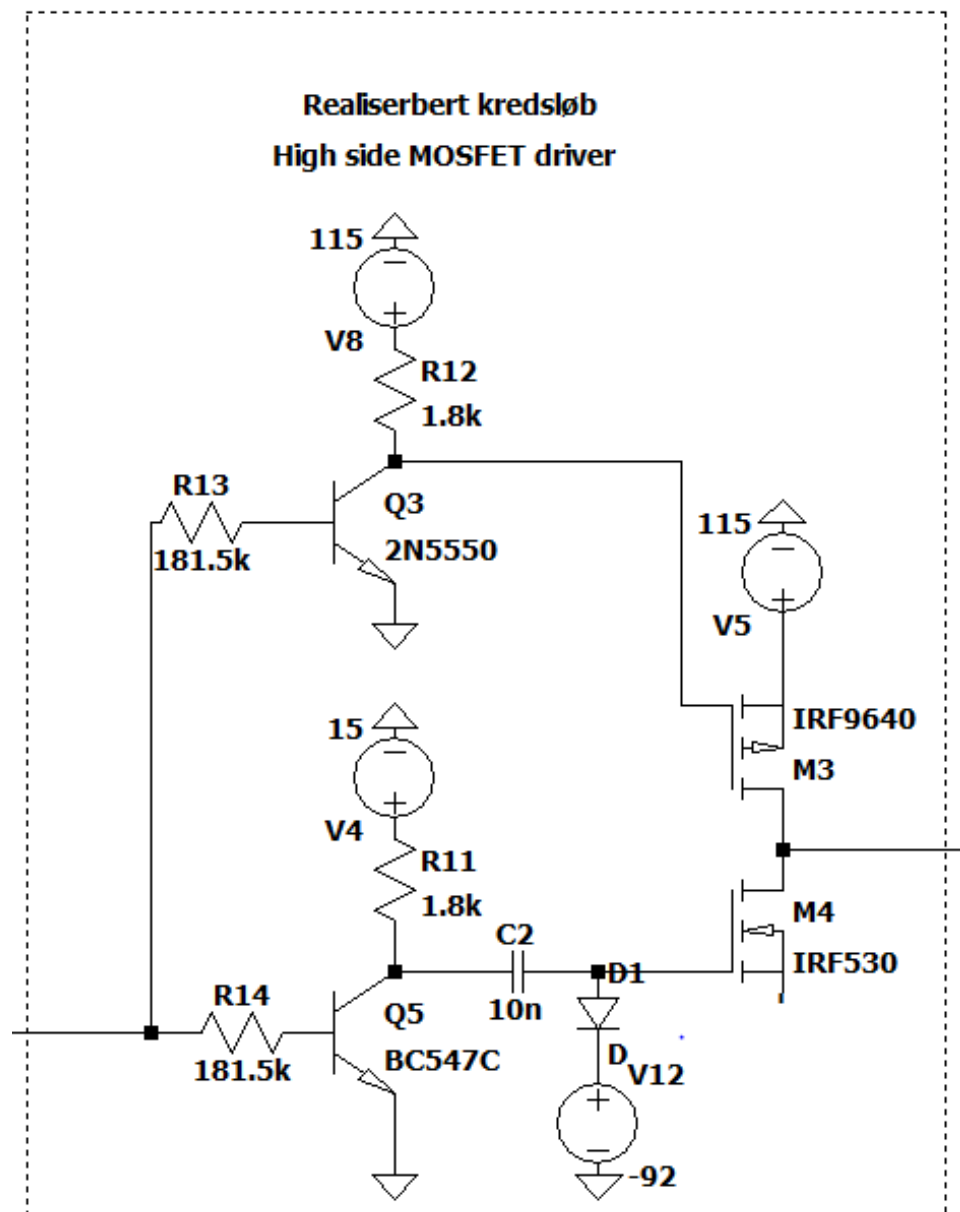
Figur 7.8.14: Udgangssignalet, og indgangssignal fra high side gate driveren, til en visuel sammenligning.

Problemet kan være på baggrund af den høje gate kapacitans på IRF9640 [39]. Gate kapacitansen er højere på IRF9640, end på IRF530 - dette vurderes til sandsynligvis at være årsagen til at problemet kun ses på den positive del af signalet. Derfor hæves collector strømmen på den øverste BJT til 16mA, og en simulering vises på figur 7.8.15:



Figur 7.8.15: Udgangssignalet, og indgangssignal fra high side gate driveren, til en visuel sammenligning.

Det ses på figur 7.8.15, at PWM signalet svinger fra -100 V til 115 V som var kravet til high side gate driveren. Dette vil sige, at det diskrete kredsløb til at styre high side gaten er konstrueret og det samlede diagram over opkoblingen kan ses på figur 7.8.16, med beregnede værdier:



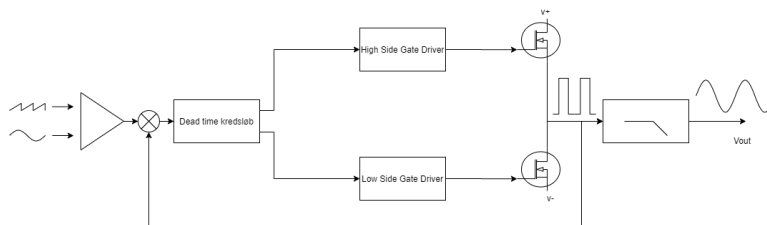
Figur 7.8.16: En løsning, på en diskret High side Gate driver.

7.9 Tilbagekobling

Indtil nu har der kun været set på et open loop system for et klasse D output trin, så i følgende afsnit ses på hvordan tilbagekoblingen skal designes, for at lave et reguleret system.

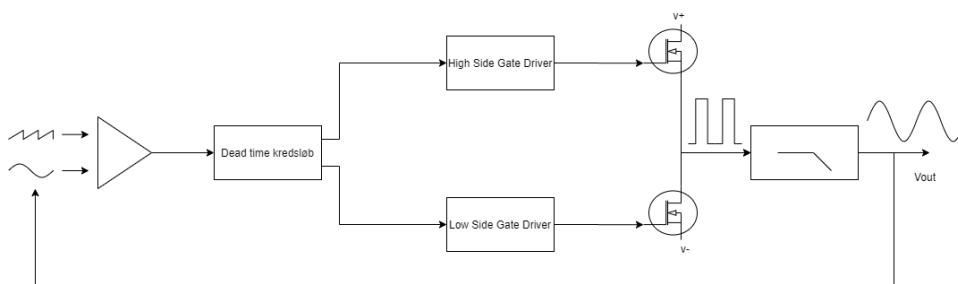
Der findes typisk to typer tilbagekobling når der tales klasse D output trin - hhv. PWM feedback, og sinus feedback.

I PWM feedback tager man PWM outputtet fra klasse D trinnet, og sammenligner det med PWM signalet, som er output fra SPWM kredsløbet. Konceptet er vist på figur 7.9.1:



Figur 7.9.1: Klasse D output trin, med PWM tilbagekobling.

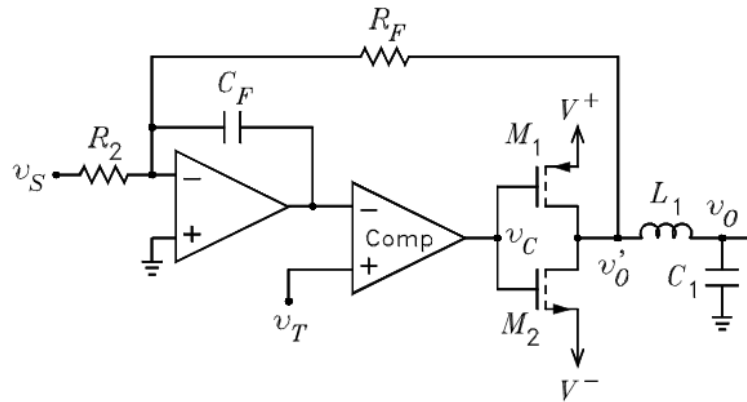
I sinus feedback sammenligner man sinus signalet efter udgangsfiltret, med sinus signalet ind i SPWM kredsløbet. Konceptet er vist på figur 7.9.2:



Figur 7.9.2: Klasse D output trin, med sinus tilbagekobling.

7.9.1 PWM tilbagekobling

En måde at lave PWM tilbagekobling, er ved at sammenligne signalet lige før filtret, med PWM signalet efter SPWM kredsløbet, som vist på figur 7.9.1. Var det et klasse A/B trin hvor man havde lavet negativ tilbageløb på denne måde, ville man typisk kunne komme af sted med at bruge en komparator, et differentialled, eller en OpAmp. Det er fordi at udgangsamplituden, afhænger af indgangsamplituden. Når det er et klasse D udgangstrin, hvor man sammenligner PWM signaler kan man ikke gøre sådan. Det er fordi at udgangsamplituden på sinus signalet ikke er afhængig af amplituden af PWM signalet, men af duty cyclen. En anden måde at lave PWM tilbagekobling på, er ved at lave et enkelt pols tilbagekoblingssystem. Dette er vist på figur 7.9.3:



Figur 7.9.3: Klasse D output trin, med enkelt pols tilbagekoblingssystem [40].

Hvor det gælder at,

V_s : Amplituden af PWM signal

V_T : trekant signalet til SPBM modulation

V'_O : PWM spændingen

R_F, C_F , og R_2 danner et tilbagekoblingssystem

Det gælder at systemet har en overføringsfunktion som:

$$\frac{V'_O}{V_s} = -\frac{R_F}{R_2} \frac{1}{1 + s/\omega_0} \quad (7.9.1)$$

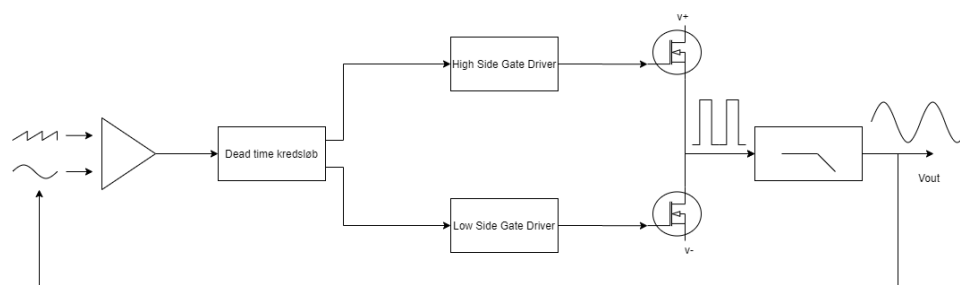
og

$$\omega_0 = 2\pi f_0 \quad (7.9.2)$$

I enkelt pols tilbagekobling er det ikke signalet efter SPWM blokken man sammenligner med, men istedet sinus referencen.

7.9.2 Sinus tilbagekobling

I stedet for PWM feedback, kan der laves sinus feedback. Der sammenlignes udgangsspændingen efter udgangsfiltret, med sinus referencen. Vist på figur 7.9.4:



Figur 7.9.4: Klasse D output trin, med sinus feedback.

Fordelen ved at gøre det sådan, er at der ikke skal sammenlignes duty cycle, men man kan sammenligne amplitude ved at indføre et beta netværk.

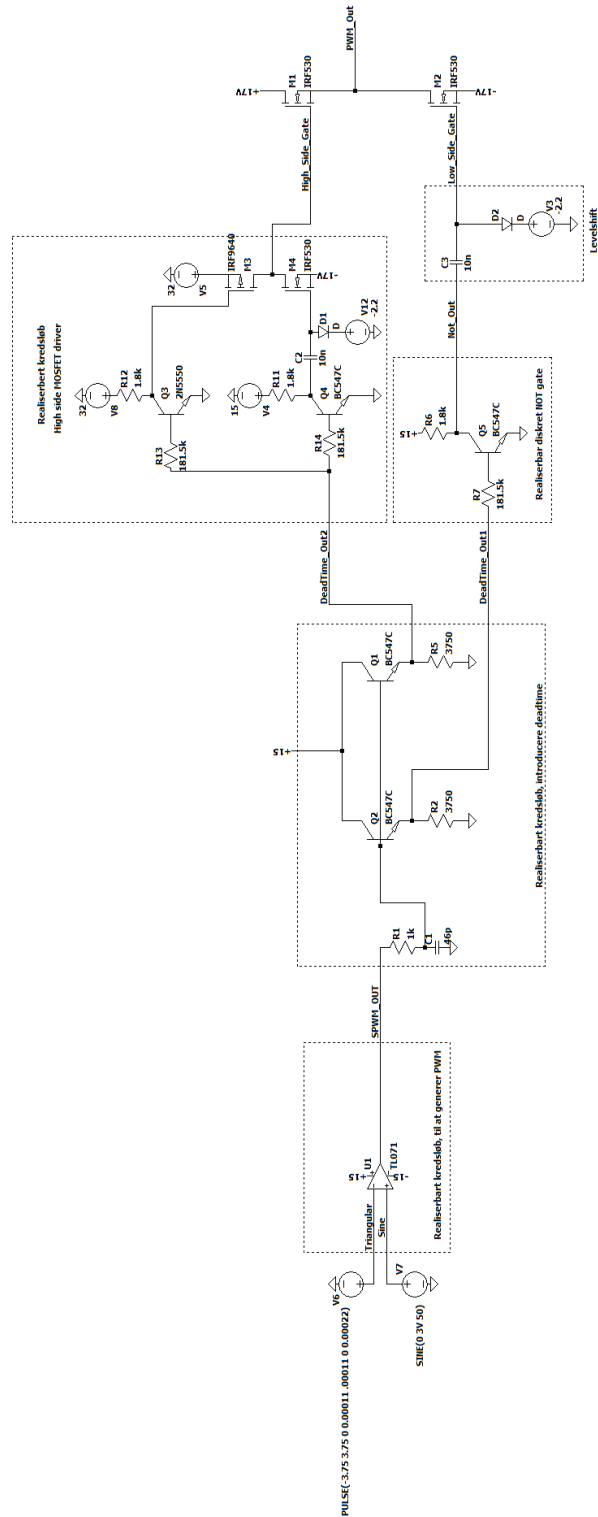
Kapitel 8

Test af designet open loop prototype

8.1 32V prototype rev. 1

På grund af laboratorieregler, om laboratorieregler som bl.a. definerer maksimalt spændingsniveau der må arbejdes med i laboratoriet, er der bygget en 32 V prototype. Prototypen er en open loop prototype, som skal eftervise om drivere, dead time og modulation virker som ønsket og som tidligere beregnet. Prototypen er forsynet med $\pm 17\text{ V}$ på udgangsMOSFET'erne, fordi spændingen på high side driveren skal være 15 V højere, end spændingen på udgangsMOSFET'erne. Derved er high side driveren forsynet med -17 V , 15 V og 32 V . Alle 15 V kredsløbene er stadig forsynet med 15 V. Det er trekant modulation, dead time kredsløb, og low side driveren.

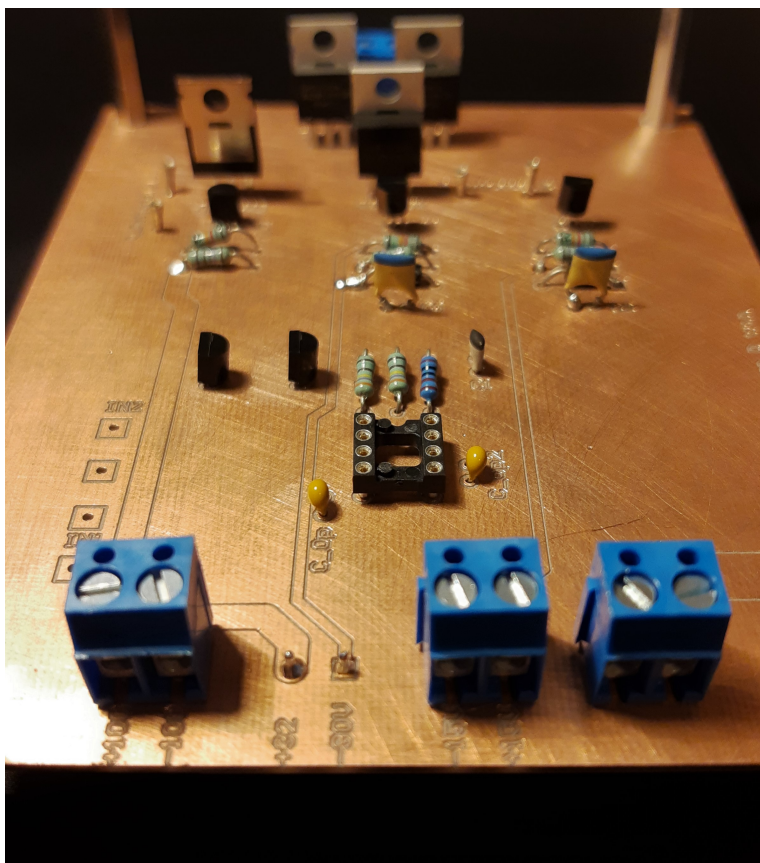
Diagram med forsyningsspændinger kan ses på figur 8.1.1:



Figur 8.1.1: Diagram over 32V prototypen.

Udgangsfiltret er ikke med på 32 V prototypen, da den har til formål at teste ovennævnte delsystemer.

Prototypen er konstrueret på PCB, vist på figur 8.1.2:



Figur 8.1.2: PCB af den konstruerede 32 V prototype.

Testen er beskrevet i detaljer i journal A.4.

8.1.1 Resultater af prototypetesten - 1.0

Målepunkterne er vist på figur 8.1.1, og det er følgende der ses på:

- SPWM_OUT
- DeadTime_Out1
- DeadTime_Out2
- Not_Out
- Low_Side_Gate
- High_Side_Gate
- PWM_Out

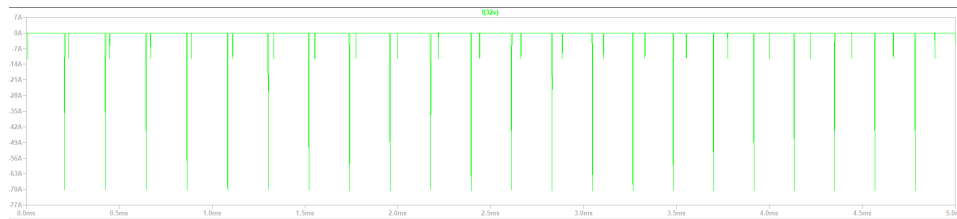
De forventede målinger er:

	Forventet
SPWM_OUT	$\pm 15\text{ V}$
DeadTime_Out1	$0 - 15\text{ V}$, med et 118ns delay ift. SPWM_OUT
DeadTime_Out2	$0 - 15\text{ V}$, med et 118ns delay ift. SPWM_OUT
Not_Out	$0 - 15\text{ V}$, inverteret ift. DeadTime_Out1
Low_Side_Gate	$-15\text{ V} - (-2)\text{ V}$
High_Side_Gate	$-17\text{ V} - +32\text{ V}$
PWM_Out	$\pm 17\text{ V}$

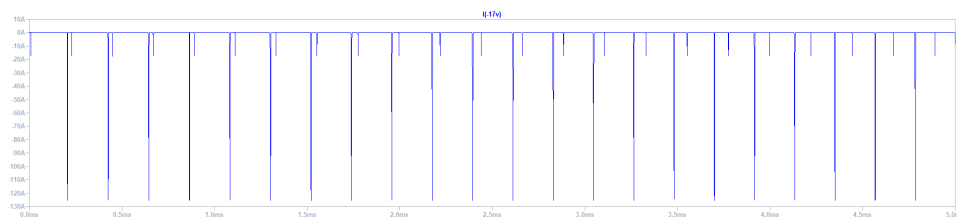
Resultatet af testen var, at der blev trukket en uventet stor strøm på 32 V , og -17 V forsyningen. På baggrund af det, blev der ikke udført videre tests, tilgængeld ses på simuleringen.

8.1.2 Revurdering af simulering

Der ses først på hvad det forventede strømtræk er på 32 V , og -17 V forsyningen, vist på hhv. figur 8.1.3 og figur 8.1.4:



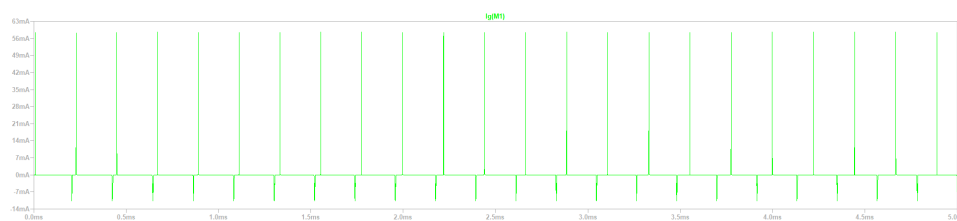
Figur 8.1.3: Simuleret strøm træk på 32 V forsyningen.



Figur 8.1.4: Simuleret strøm træk på negativ 17 V forsyning.

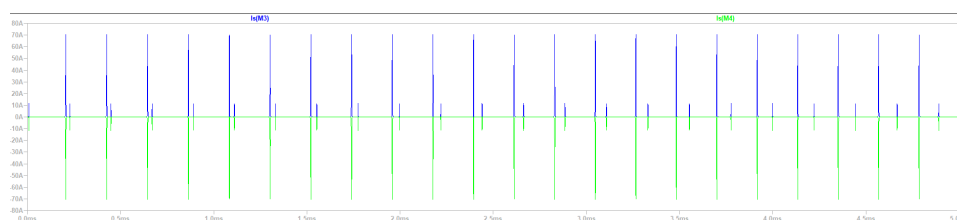
Det er forventeligt, at strømmene som trækkes stemmer overens med strømmene som kræves på gaten af udgangs MOSFET'erne. Idet 32 V og -17 V er forsyning til high side driver.

Simulering viser at den er under 60 mA , vist på figur 8.1.5, altså er strømmene set på 32 V , og -17 V forsyning mere end 2000 gange for høj.



Figur 8.1.5: Strømmen på gaten af M1.

Tidligere er beskrevet hvordan kortslutning kan forekomme når to MOSFET'er switches til og fra, derfor undersøges source strømmen af M3, og M4 for at se om der sker en kortslutning. Source strømmene for M3 og M4 er vist på figur 8.1.6:



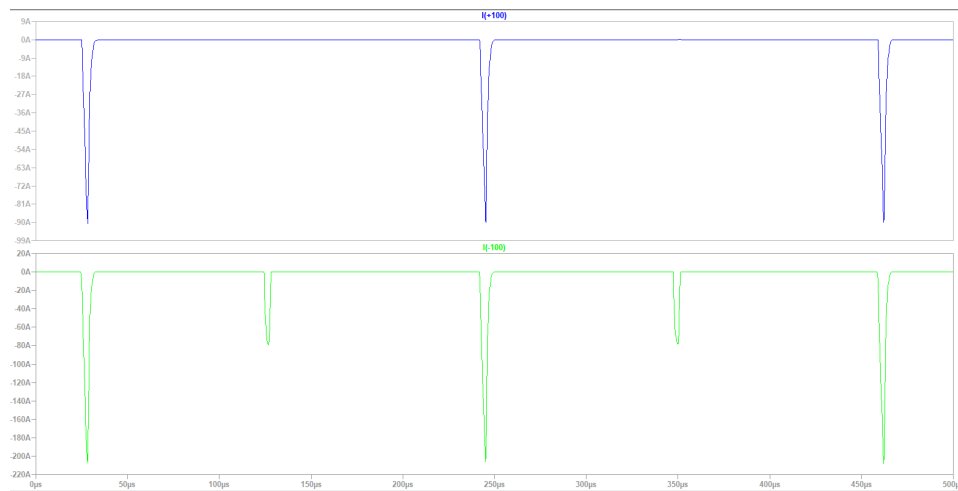
Figur 8.1.6: Strømmene på M3 og M4 source.

Altså ses at både M3 og M4 leder en strøm samtidig, hvilket giver en kortslutning.

8.2 Kortslutning af udgangen i 100 V systemet

I testen af prototypen, beskrevet i journal 8.1, blev der opdaget nye problemer. Det blev opdaget at MOSFET'erne i high side driveren kortsluttede.

32 V systemet kortsluttede, derfor undersøges det om 100 V designet kan forventes at have samme fejl - derfor ses på simulering af strømmene trukket af MOSFET'erne i high side driveren, vist på figur 8.2.1:



Figur 8.2.1: Strømmene på strømforsyningerne til MOSFETerne i high side driveren.

Der trækkes altså en strøm fra begge forsyninger samtidig, altså kan det konkluderes at der også her sker en kortslutning.

En løsning forsøges fundet i 9.1.

Kapitel 9

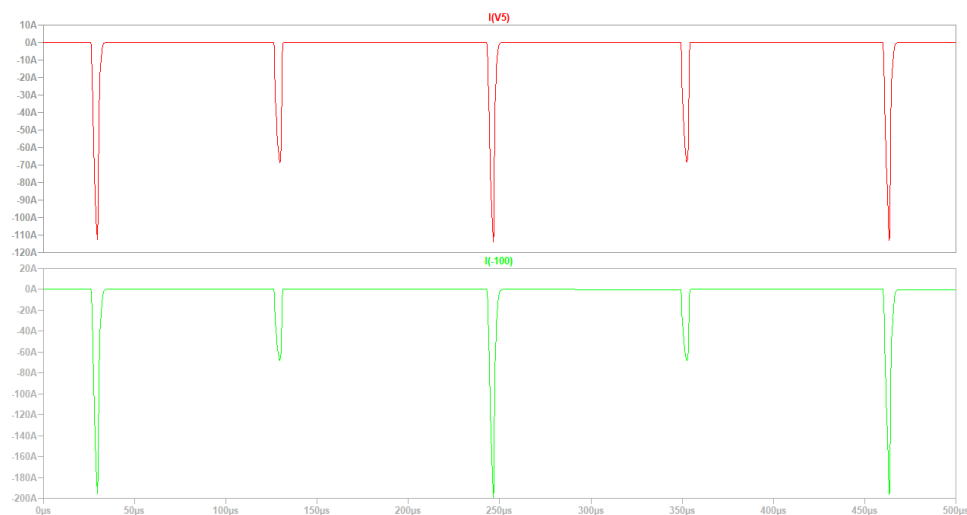
Design rev 1.1

9.1 Løsning på kortslutning af udgangen

I følgende kapitel undersøges det hvorfor high side driveren kortslutter, med henblik på at lave et redesign som løser denne problematik. Til start forsøges med den simple løsning, nemlig at introducere øget dead time.

9.1.1 Øget dead time

Det er tidligere beskrevet at kortslutning af switching MOSFET'er optræder hvis de tænder og slukker synkront - løsningen er et introducere dead time, beskrevet i afsnit 6.4. Fordi der faktisk er introduceret dead time i kredsløbet, via dead time kredsløbet, forsøges at øge dead time, ved at øge værdien af C1, vist på figur 9.1.1 Det ses tydeligt at systemet stadig kortslutter - selvom der er introduceret højere dead time.



Figur 9.1.1: Strømmene på strømforsyningerne til MOSFET'erne i high side driveren, med højere dead time.

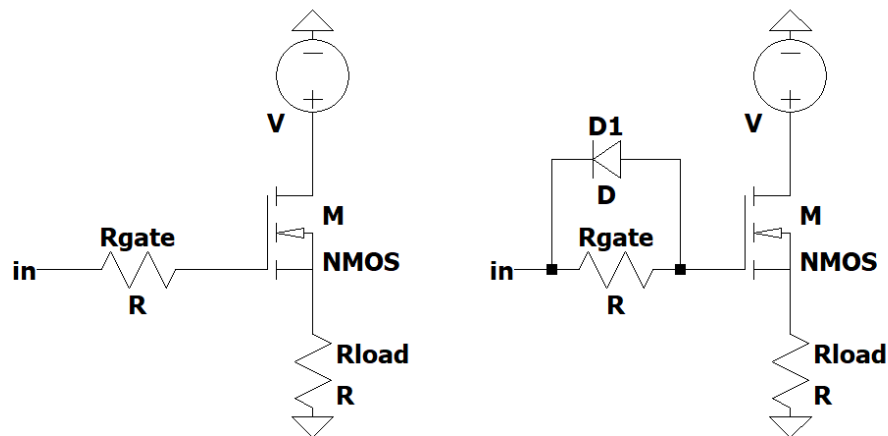
9.1.2 Øget dead time gatemodstand

En anden måde at introducere dead time, end ved et dead time kredsløb er ved at sætte en modstand på gaten, eller en modstand og en diode på gaten.

Grunden til at det har en indvirkning skyldes, at en MOSFET har en gate kapacitans der skal lades op. Ved at introducere en modstand, styres hastigheden hvormed kapacitansen oplades.

Ved så yderligere at tilføje en diode kan man sikre at det kun er det ene del af PWM signalet man introducerer dead time på.

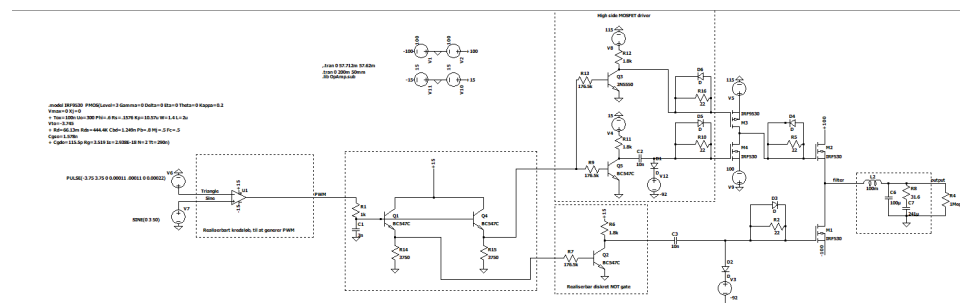
Det er vist på figur 9.1.2:



Figur 9.1.2: Deadtime på en MOSFET vha. modstand, eller diode og modstand

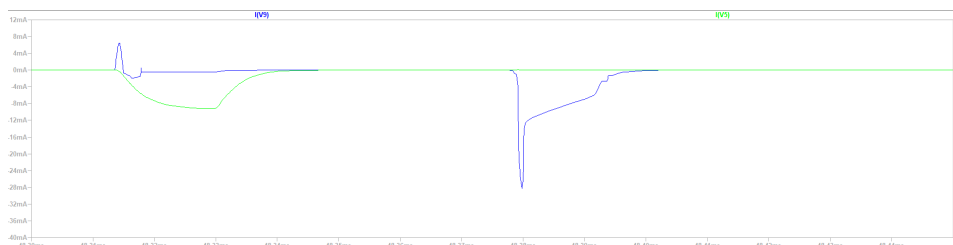
Modstanden har typisk en værdi på mellem $1\ \Omega$ og $100\ \Omega$.

En modstand på $22\ \Omega$ og en diode sættes foran hver MOSFET. Ydermere er dead time fra det oprindelige kredsløb også hævet, vist på figur 9.1.3:



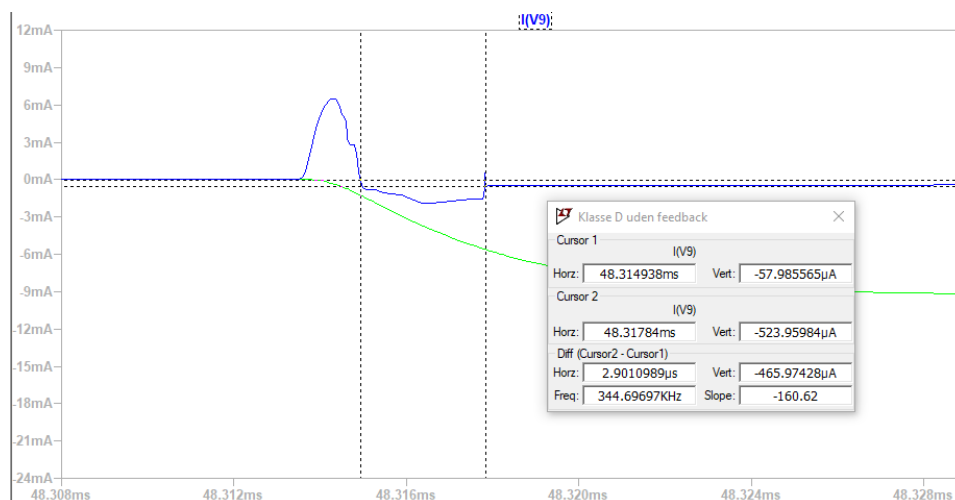
Figur 9.1.3: Diagram med højere dedatime vha. deadttime kredsløb, og gatemodstande og gatediode

Simulering viser at der stadig sker en kortslutning, dog er strømmene meget mindre, vist på figur 9.1.4:



Figur 9.1.4: LTSpice udklip, der viser der stadig sker en lille kortslutning

LTSpice viser dog at det er mikrosekunder, hvori der bliver trukket en strøm fra både -100 V forsyningen, og 115 V forsyningen. Vist på figur 9.1.5:



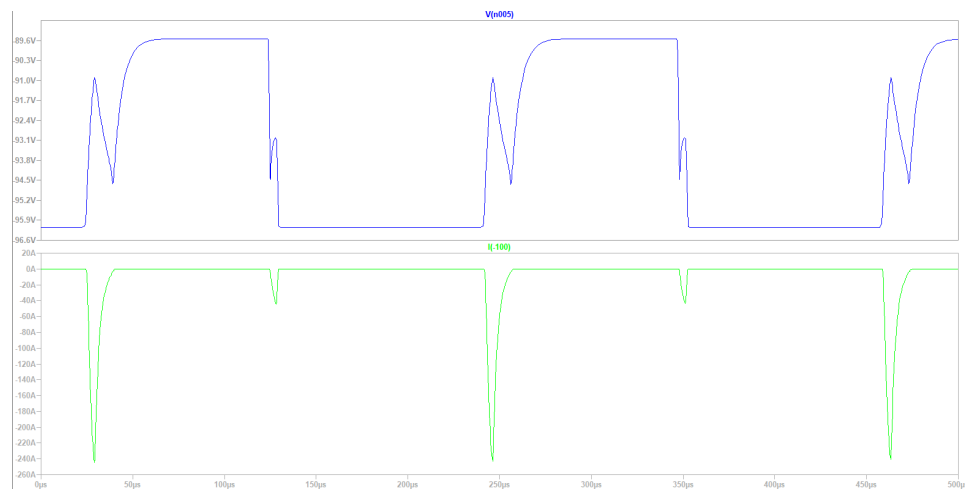
Figur 9.1.5: LTSpice udklip, der viser tiden hvori der sker en kortslutning

Grunden til at der stadig trækkes en strøm, kan have flere årsager, f.eks:

- Det som sker kan skyldes fænomenet "Parasitic Turn-on" [41]. Parasitic turn-on sker pga. kapacitanser i MOSFET'en, og det sker i produktet som følge af et forkert driver design, eller på grund af et forkert valg af MOSFET.

9.2 Parasitic turn on

Parasitic turn on, er når der er en uønsket spændingsspike på gaten af en MOSFET, i et swtching system [41]. På gaten af MOSFET'en sker et spændingsspike. Det spændingsspike giver en kortslutning i systemet. I systemet, er det MOSFET'erne i high side driveren hvor det forekommer. På figur 9.2.1, kan spændingsspiket ses:

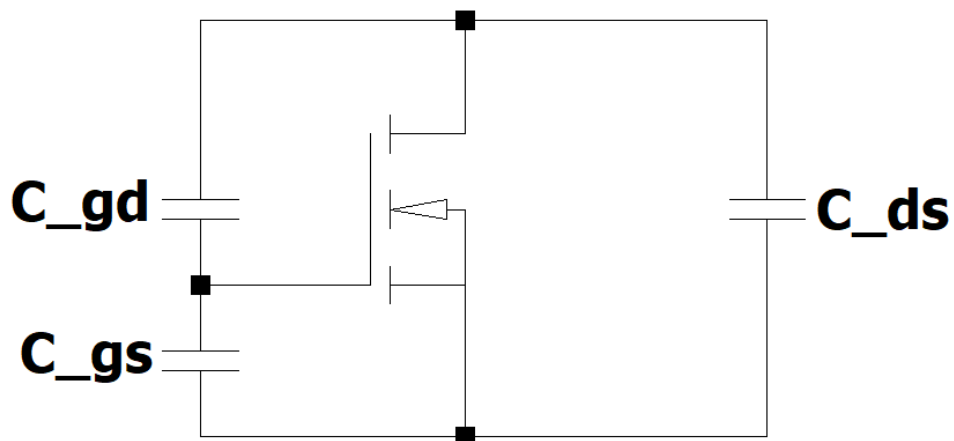


Figur 9.2.1: Spændingen på gaten af MOSFET'en, og strømmen den trækker over drain-source, simuleret i LTspice.

Der kan altså tydeligt ses et der forekommer parasitic turn on.

9.2.1 Hvorfor forekommer parasitic turn on

Den grundlæggende årsag til parasitic turn on, skal findes i MOSFET'ens tre kapacitanser, vist på figur 9.2.2:



Figur 9.2.2: Model af MOSFET, med de tre kapacitanser afbilledet.

Kapacitansen over drain-source, gate-drain, og gate-source. Når MOSFET'en påvirkes med en dv/dt rampe, løber der strøm gennem Gate-Drain kapacitansen. Det inducere en spænding i Gate-Source kapacitansen, og derved en gate-source spænding, der laver et spændingsspike på gaten [41].

Det kan ikke undgås, derfor skal det løses i stedet.

Der findes flere løsninger:

- Vælg MOSFET, som minimerer chancen for at fænomenet opstår [42]
- Introducere en ekstern Gate-Source kondensator [43]
- Tilføje en "Mirror Clamp MOSFET" [43]

Der vælges både at undersøge om MOSFET'erne kan optimeres, samt der kigges på effekten af en ekstern gate-source kondensator. Derudover laves et dead time kredsløb kun til high side driveren.

Minimere risikoen for parasitic turn on

Måden hvorpå man kan minimere risikoen for at der opstår parasitic turn on, er ved at se på C_{gs} og C_{gd} på MOSFET'en [42]. For at minimere sandsynligheden for at parasitic turn on, gælder det at forholdet:

$$\frac{C_{gs}}{C_{gd}} > 10 \quad (9.2.1)$$

Jo højere forholdet mellem C_{gs} og C_{gd} er, jo mindre sensitiv er MOSFET'en for at parasitic turn on kan forekomme [42].

9.3 Et nyt dead time kredsløb og en ny high side driver

Efter at have forsøgt, at øge dead time i kredsløbet uden succes, undersøges en ny løsning til high side driveren.

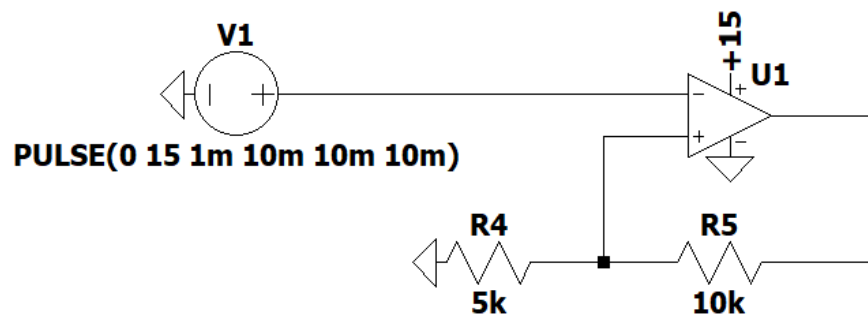
Der undersøges både, at introducere et dead time kredsløb i high side driveren, på baggrund af XOR gates, eller et dead time kredsløb på baggrund af schmitt triggere.

Der undersøges også hvordan der kan undgås at parasitic turn on sker. Ydermere ses på en generelt mere robust løsning. Grundidéen i high side driveren er dog den samme som i afsnit 7.8.2.

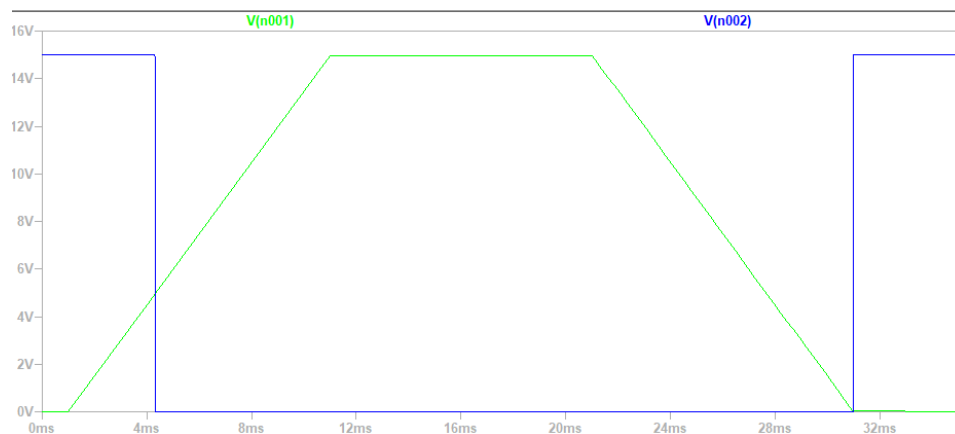
9.3.1 Dead time kredsløb til high side driveren

Løsning med schmitt trigger

En schmitt trigger er et kredsløb, eller en komponent, der skifter mellem høj og lav på udgangen, når et threshold niveau nås på indgangen. En OpAmp konfigureret som inverterende schmitt trigger ses på figur 9.3.1, og et udklip af indgangsspænding ift. udgangsspænding er vist på figur 9.3.2:

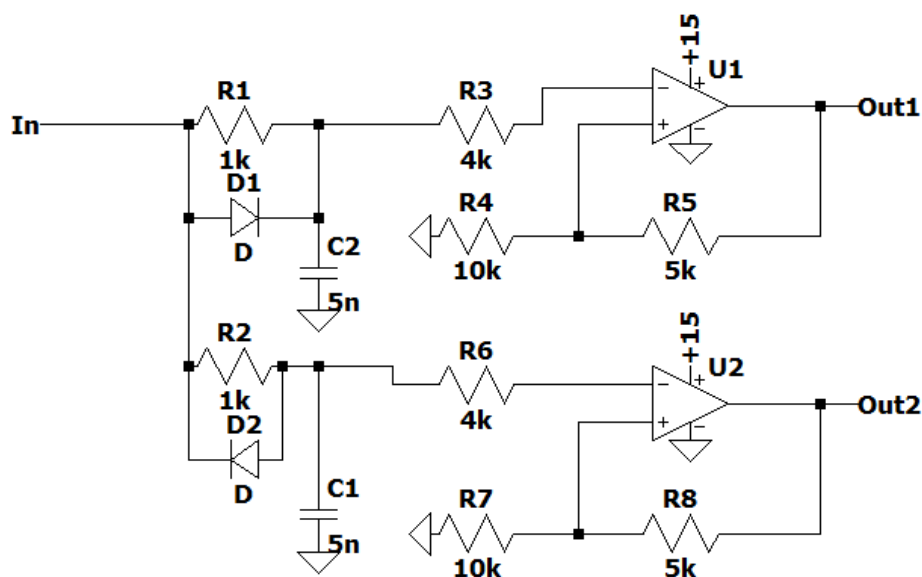


Figur 9.3.1: Schmitt trigger, med modstand værdier således at threshold er 5V.



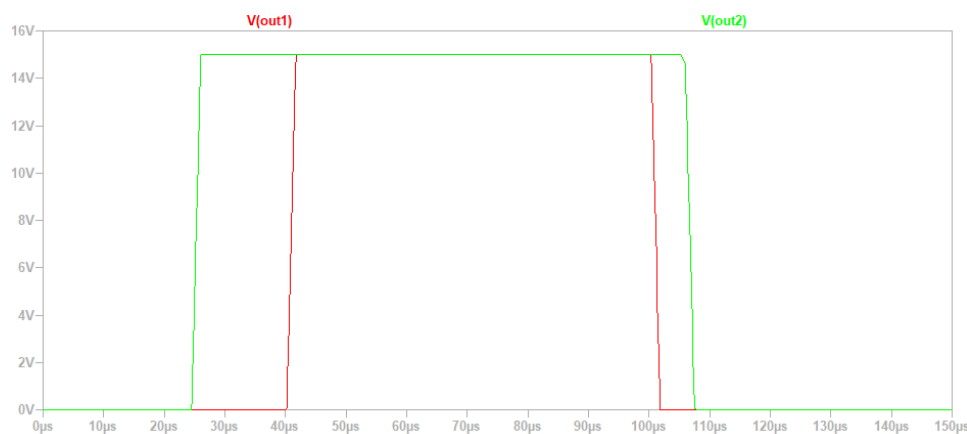
Figur 9.3.2: Simulering der viser indgangsspænding på schmitt triggeren, og udgangsspændingen.

PWM signalet fra PWM modulatoren har dog ideelt set ingen slope, som vist på figur 9.3.2, derfor ønskes den tilføjet. En slope introducere igen vha. et RC led, som i afsnit 7.6. For introducere dead time både når PWM signalet stiger, og falder laves to schmitt triggere, hvor den ene påvirker signalet der stiger, og den anden signalet der falder. Dette er styret af dioderne ved RC leddet. Det samlede kredsløb kan ses på figur 9.3.3:



Figur 9.3.3: Dead time kredsløb, i LTspice.

Kredsløbet er simuleret på 9.3.4



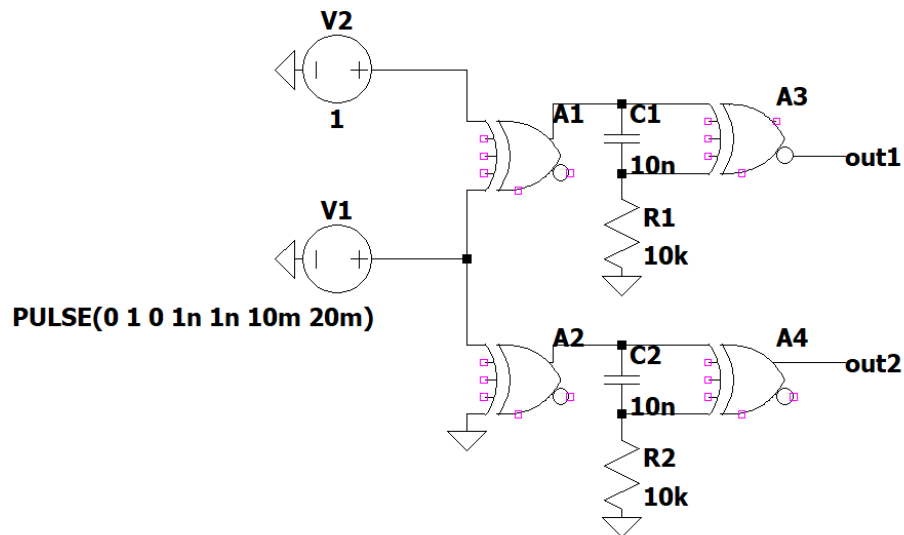
Figur 9.3.4: Simulering af kredsløbet 9.3.3.

Altså kan det ses at det virker som ønsket, hvor det ene signal er kortere end det andet. Længden af dead time kan justeres ved at ændre værdien af kondensatoren.

Løsning med XOR gate

En XOR gate er en digital gate som giver et output på lav eller høj. I dette tilfælde bruges den til at lave PWM med dead time, hvor overgangen

fra høj til lav får en stejl kurve. Derved får den ikke en buet kurve som med tidligere løsning, når der skiftes mellem høj og lav. Kredsløbet ser således ud som på figur 9.3.5:



Figur 9.3.5: XOR dead time kredsløb.

En XOR gate har følgende sandhedstabel:

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

Det vil sige idet der er 5 V og GND til hhv. A5 og A6 så kommer der enten høj eller lav ud, når PWM sendes ind.

Dead time generes ved CR kredsløbet som er mellem de 2 XOR gate, dette giver et delay som så ikke kommer til at gå ud over kurven på PWM signalet men introducere sammentidig dead time. Simulering af dette kredsløb kan ses på figur 9.3.6:



Figur 9.3.6: XOR dead time kredsløb simulering i LTSpice.

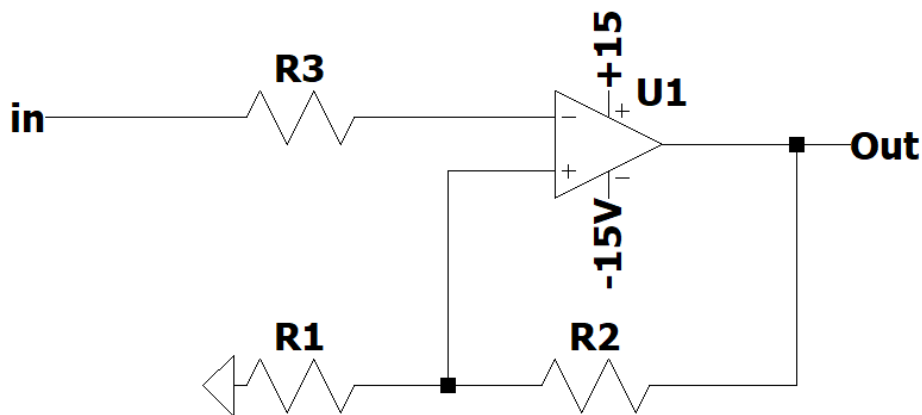
Konklusion på dead time kredsløb i high side driveren

For at undgå at MOSFET'erne switcher samtidig, vælges der at lave en løsning hvor der introduceres dead time ved hjælp af schmitt triggere. Løsningen med schmitt triggere vælges, frem for XOR gates, da de nemt kan konstrueres med OpAmp's. Begge kredsløb kan gøre det som er ønsket, uden det ene er umiddelbart bedre end det andet.

9.3.2 Mere om Schmitt trigger

Det nye dead time kredsløb tager udgangspunkt i en inverterende schmitt trigger, og en ikke inverterende schmitt trigger. Det samme kredsløb går igen i high side driveren.

En ikke inverterende schmitt trigger er vist på figur 9.3.7:



Figur 9.3.7: En inverterende schmitt trigger.

For en inverterende schmitt trigger, gælder at det høje threshold kan beregnes som:

$$U_{\text{UTH}} = VCC \cdot \frac{R1}{R1 + R2} \quad (9.3.1)$$

hvor,

U_{UTH} er den høje threshold

VCC er den positive spændingsforsyning

$R1$ og $R2$ er modstandene i tilbagekoblingen.

For det lave threshold gælder:

$$U_{\text{LTH}} = -VCC \cdot \frac{R1}{R1 + R2} \quad (9.3.2)$$

hvor,

U_{LTH} er den lave threshold

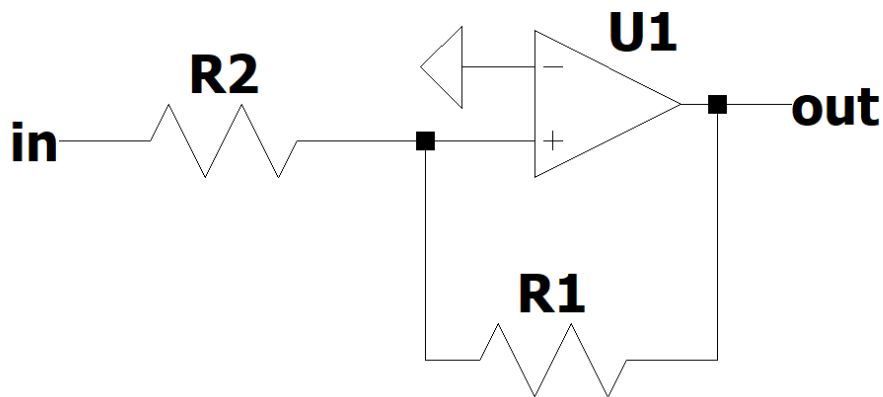
-VCC er den negative spændingsforsyning

R1 og R2 er modstandene i tilbagekoblingen.

Modstanden R3 i en inverterende schmitt trigger, er for at undgå DC offset, og kan typisk bestemmes til:

$$R3 = R1 || R2$$

En ikke inverterende schmitt trigger er vist på figur 9.3.8:



Figur 9.3.8: En ikke inverterende schmitt trigger.

For det høje threshold gælder:

$$U_{\text{UTH}} = \frac{R2}{R1} \cdot VCC \quad (9.3.3)$$

hvor,

U_{UTH} er det høje threshold.

VCC er den positive forsyningsspænding.

R1 og R2 er modstandene i tilbagekoblingen.

For det lave threshold gælder:

$$U_{\text{LTH}} = \frac{R2}{R1} \cdot -VCC \quad (9.3.4)$$

hvor,

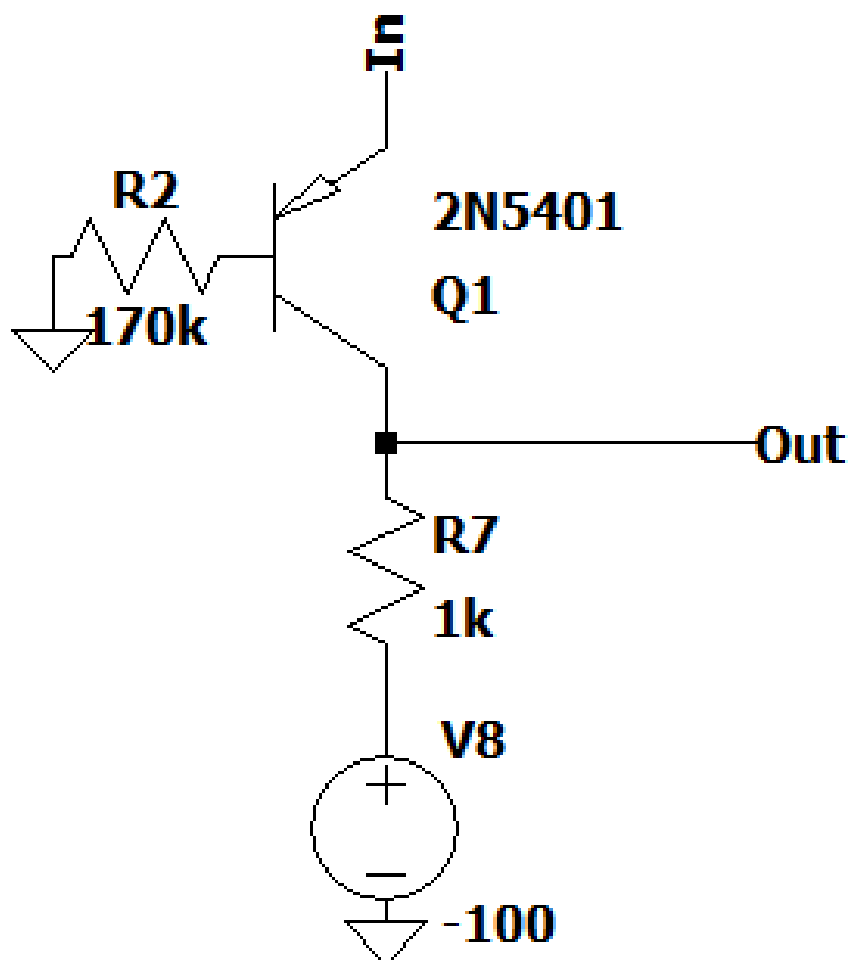
U_{UTH} er det høje threshold.

-VCC er den positive forsyningsspænding.

R1 og R2 er modstandene i tilbagekoblingen.

9.3.3 Level shift kredsløb

For at lave et mere robust level shift kredsløb, end det i afsnit 6.5.1 viste, tages udgangspunkt i en PNP transistor.



Figur 9.3.9: Et nyt, mere robust level shift kredsløb, baseret på en PNP.

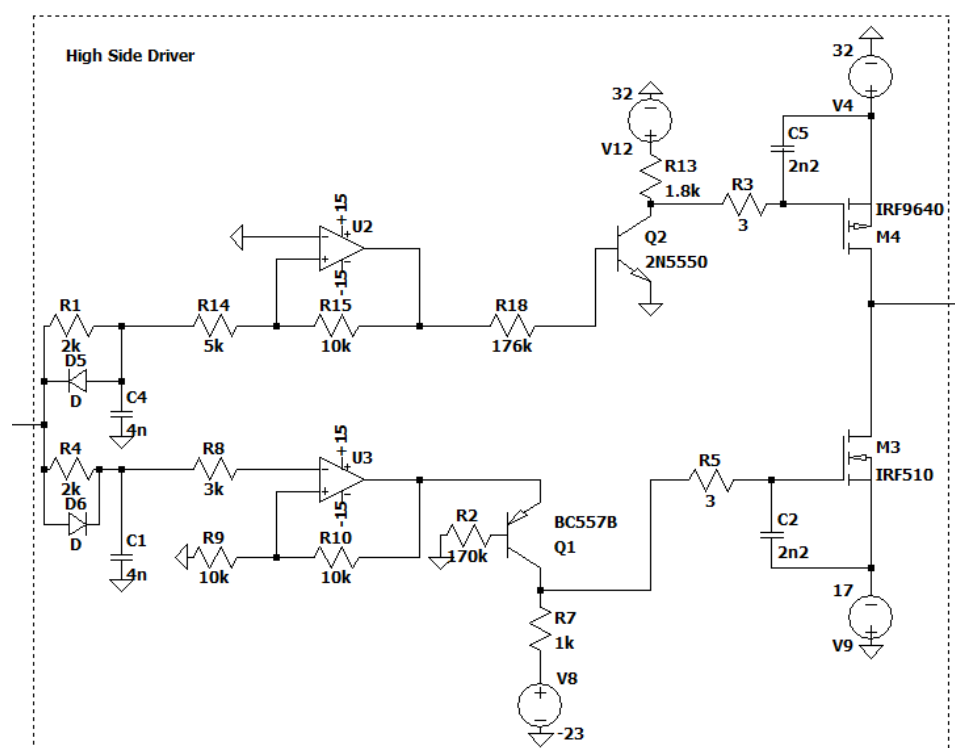
9.3.4 Forholdsregler for at undgå parasitic turn on

På både N kanal MOSFET'en, og P kanal MOSFET'en, tages der nogle forholdsregler for at undgå parasitic turn on.

- Gate modstand på begge MOSFET'er.
- Gate-Source kondensator på 2,2 nF.
- MOSFET'erne er valgt ud for at undgå parastic turn on. Derfor er IRF530N skiftet med IRF510, og IRF9530 er skiftet til IRF9640.

9.4 Simuleringer af ny high side driver

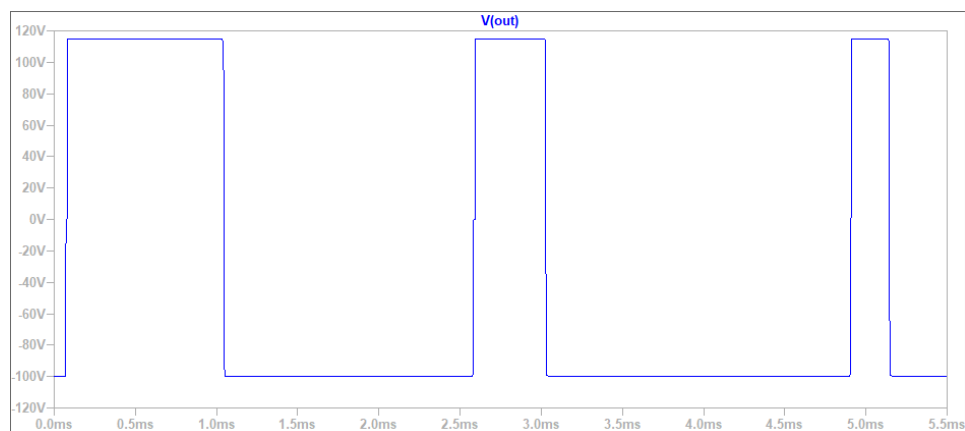
Et diagram over den nye high side driver ses på figur 9.4.1:



Figur 9.4.1: Diagram over den nye high side driver.

Forskelligt fra tidligere vist er U2 *ikke* en inverterende schmitt trigger. Det er for at spare en inverterende BJT.

Simulering af high side driver outputtet, er vist på figur 9.4.2:



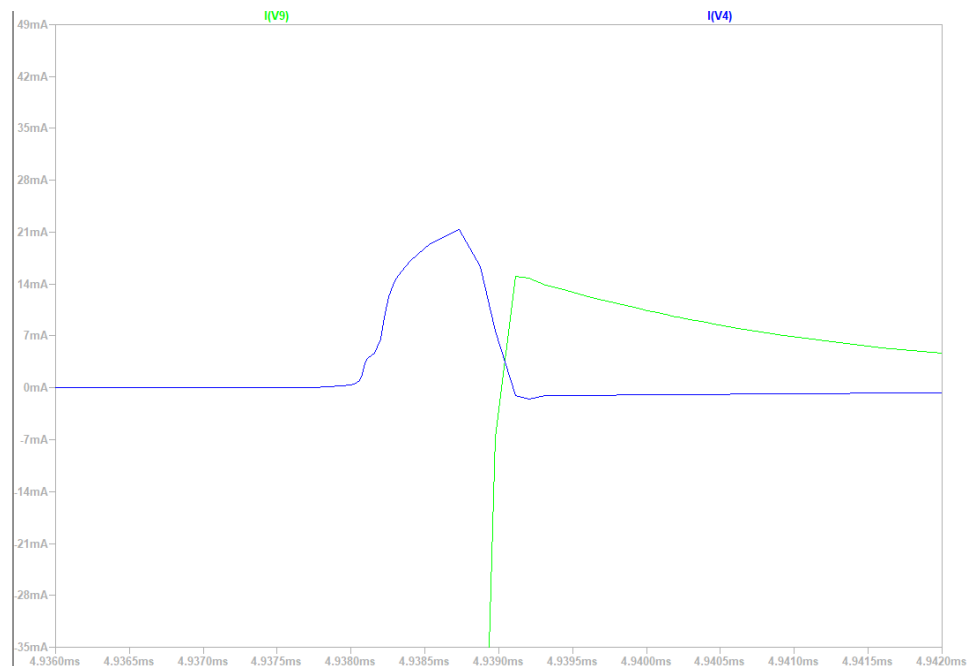
Figur 9.4.2: Output spænding, fra high side driver.

Der ses også på strømmene fra forsyning, for at se hvor vidt kredsløbet kortslutter som følge af parasitic turn on. Det er vist på figur 9.4.3:



Figur 9.4.3: Simulering af strømmene, trukket af MOSFET'erne, i driveren.

Altså sker der stadig noget parasitic turn on. Dead time sættes op, og strømmene på forsyningen viser at kortslutning næsten ikke sker, vist på figur 9.4.4:



Figur 9.4.4: Simulering af strømmene, trukket af MOSFET'erne, i driveren. Dead time sat op ift. 9.4.3

For at finde en konfiguration der faktisk virker, testes værdien af dead time, i en lab prototype.

9.5 Test af high side driver rev. 2

Der er målt på en test opstilling af high side driveren lavet på et breadboard. Det er dokumenteret i appendix: A.5. Test journalen viser stabiliteten på driveren er afhængig af frekvens og niveau af nødvendig dead time. Dette eftertestes derfor.

Det blev i appendix: A.5 vist at grunden til kortslutning, var parasitic turn on. Det lykkedes ikke at fjerne dette men derimod at forbedre og komme uden om det. Det er lykkedes ved bla. at introducere mere dead time, samt en gate-source kondensator. Den ideelle værdi i dead time kredsløbet er 820 pF. Når dead time bliver sat op, og det nye design er mere robust, kan parasitic turn on undgås.

9.6 Ny diskret klasse D

I følgende afsnit ses på det nye samlede diagram for det diskrete klasse D trin. Diagrammet er vist på figur 9.6.1.

Forskelligt fra det første, er følgende lavet om:

- Udgangs MOSFET'erne er skiftet.
- High side driveren er redesignet i afsnit 9.3.

- Low side driveren er redesignet, som følge af et mere forfinet level shift design, som er beskrevet i afsnit 9.3.
- Dead time kredsløbet er lavet mere robust, som følge af et bedre kredsløb beskrevet i afsnit 9.3.

9.6.1 Valg og argumentation for nye MOSFET

Der er valgt nye MOSFET'er til udgangstrinnet. Det er på baggrund af den formel for udvælgelse af MOSFET, som minimerer risikoen for parasitic turn on, fra afsnit 9.2.1:

$$\frac{C_{gs}}{C_{gd}} > 10 \quad (9.6.1)$$

Der vælges at regne på de tilgængelige MOSFET'er som forefindes på universitetet, følgende bliver analyseret:

- IRF530
- IRF510
- SUP85N10

Der regnes på ovenstående MOSFET'er:

IRF530:

$$\frac{C_{gs}}{C_{gd}} = 7.8 \quad (9.6.2)$$

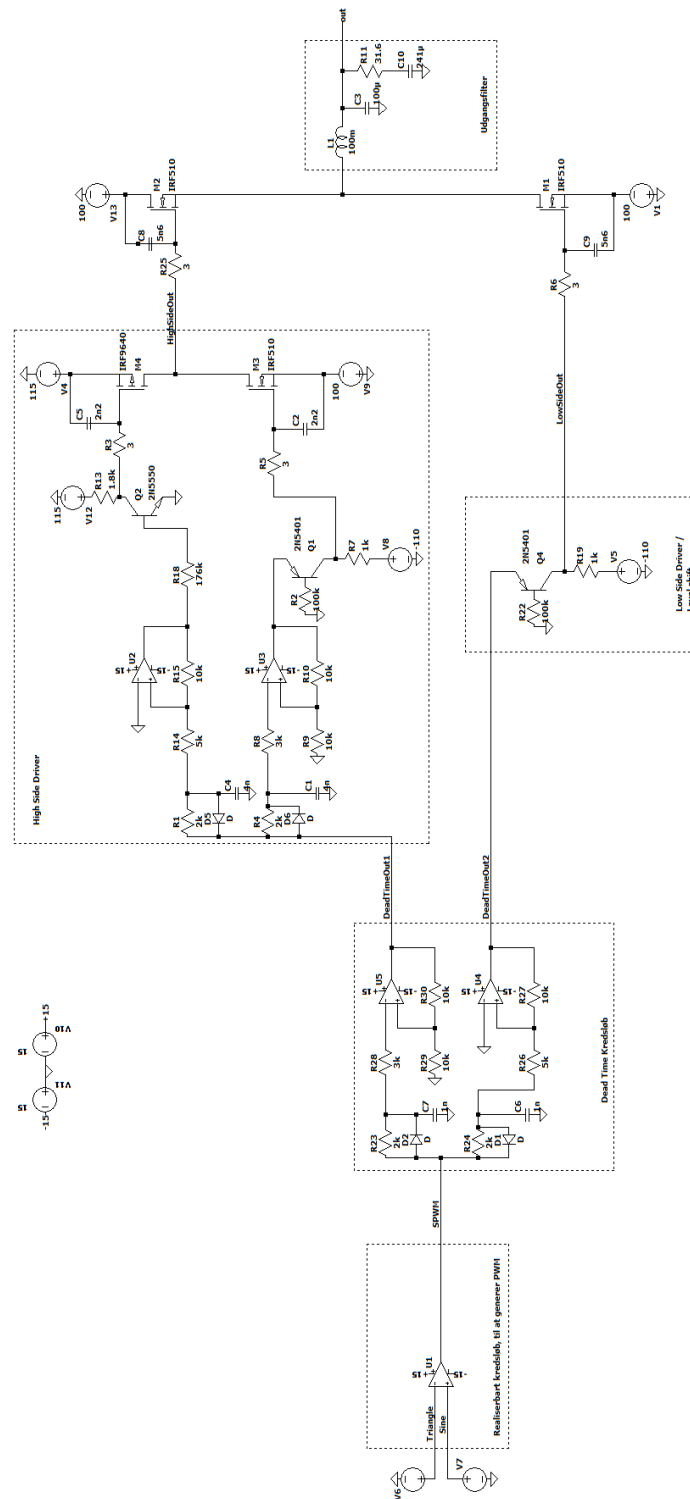
IRF510:

$$\frac{C_{gs}}{C_{gd}} = 11 \quad (9.6.3)$$

SUP85N10:

$$\frac{C_{gs}}{C_{gd}} = 30 \quad (9.6.4)$$

Det ses altså at IRF530 som har været brugt i systemet ikke overholder $\frac{C_{gs}}{C_{gd}} > 10$, der vælges derfor den med bedste værdi nemlig SUP85N10 som har en $\frac{C_{gs}}{C_{gd}} = 30$. Det ses desuden i databladet at denne har en $R_{DS(on)} = 0.01 \omega$ som er væsentligt lavere end IRF530's $R_{DS(on)} = 0.1 \omega$.



Figur 9.6.1: Det samlede, endelige diagram for et diskret klasse D trin.

Kapitel 10

Diskussion

Grundlæggende om designet

Helt grundlæggende er den måde at designe et klasse D trin på, som er anvendt i dette projekt ikke det mest effektive koncept. Det havde været en nemmere, bedre og mere robust løsning at bruge en gate driver til at styre udgangs MOSFET'erne.

Der findes flere typer drivere, men den type der er mest relevant at anvende, er en driver som level shifter spændingerne, til udgangs MOSFET'erne.

Grunden til at driveren er konstrueret som et diskret kredsløb, er på grund af det læringsmæssige, og ikke fordi det er den ingeniørmæssigt bedste løsning.

En test af de samlede komponenter i et open-loop system blev foretaget - dog uden udgangsfilter. Testen var succesfuld, og de forventede resultater i systemet blev eftervist i målinger.

En stor del af projektet blev brugt på at løse problemer med parasitic turn on. Et fænomen der kan forekomme på udgangs MOSFET'er, i switching systemer. Det kommer sig af et spændingsspike på gaten, som resulterer i en gate-source spænding der pludselig ikke er 0V. Det opstår fordi en MOSFET har 3 kapacitanter, C_{gs} , C_{gd} og C_{ds} og er derfor et fænomen der ikke helt kan undgås, så i stedet skal det håndteres. Løsningen blev at redesigne både gate driver, og dead time kredsløb.

Signalgenerator

I projektet er blevet brugt to AD9833, til at generere trekantsignalet, og et sinus signal. Disse bliver styret af en Arduino.

Digital elektronik, som ikke er komponentafhængig er ofte mere præcist end ren analog elektronik som afhænger af kondensatorer, modstande, spoler, m.m. Derfor blev løsningen at bruge to AD9833. De break out board der er blevet købt hjem, er leveret med den forkerte oscillator, og er derfor ikke så eksakte som de kunne være. Bliver oscillatoren skiftet til en anden clock, så vil man kunne opnå den præcision der er stillet i kravene.

Skal konstruktionen anvendes i mere end et enkelt apparat, skal der konstrueres en løsning med en mere robust mikro kontroller, end Arduionen. Men Arduionen er nem at programmere, og der var færdige koder til breakout boardet. Fokus i projektet var et diskret klasse D trin, og derfor blev løsningen alligevel gennemført.

Potentiometer justering

Flere steder i produktet er det valgt, at ting kan justeres ind med variable modstande. De forskellige ting der skal justeres ind, er faseforskydning, og udgangsamplituden.

Løsningen med at skulle justere faseforskydningen ind, er kun en god løsning fordi produktet bliver lavet som et enkelt produkt. Havde det været et produkt til serieproduktion, som skulle laves i et større antal, så vil det være mere oplagt at lave et mere robust design, som ikke behøver manuel kalibrering. Designet som er nu, vil altid være komponent afhængig, og specielt kondensatorer har ofte relativt store tolerancer.

Det samme gør sig gældene med udgangsspændingen, som skal justeres ind med et potentiometer. I stedet for løsningen med at justere spændingen ind med potentiometer, kunne man have undersøgt mere omkring hvordan man skrev en mere robust kode til AD9833.

Udgangsfiler

Da et klasse D trin leverer et firkantet switching signal, filtreres det typisk igennem et lavpasfilter for at få et sinus signal. Det normale filter, man bruger i en klasse D forstærker er et LC filter, det viste sig dog hurtigt at for at få et kritisk dæmpet filter, krævede det en spole, med en meget høj induktans. Det kommer sig af at et LC filter afhænger af den tilsluttede load, og $1M\ \Omega$ load er højere end hvad der normalt tilsluttes. Typisk er klasse D brugt i audio, hvor der sidder en $4 - 8\ \Omega$ load.

For at løse dette blev der set på flere løsninger, et serielt dæmpet LC filter, et parallelt dæmpet LC filter, og et RC filter. Det bedste filter, viste sig at være et parallelt dæmpet LC filter, hvor filtret faktisk blev kritisk dæmpet, selv med den store load på $1M\ \Omega$.

High side driver

På baggrund af en prototype test, blev det konstateret at high side driverens udgangsmosfetter kortsluttede. Det blev undersøgt om det var på grund af mangel på dead time, eller hvorfor det skete. Resultatet af undersøgelsen viser, at det var på grund af et fænomen kaldet parasitic turn on. Det betyder at der er en spændingsspike på gaten.

Årsagen til at fænomenet kan opstå, havde flere forskellige muligheder - men grundlæggende er det oftest på grund af forkert valg af MOSFET.

Den nye driver som blev introduceret har forbedret dead time, et mere robust level shift kredsløb og bedre egnede udgangsmosfetter. Den nye

driver blev testet, og ved at justere på dead time, kunne opnås et punkt hvor der ikke forekom kortslutning som følge af parasitic turn on.

Low side driver

Som følge af at den nye high side driver introducerede et mere robust level shifting kredsløb, blev dette kredsløb også introduceret på low side driveren. Det gør ikke nogen forskel for funktionen af low side driveren, men det er en mere forfinet princip.

Dead time kredsløb

Den oprindelige måde hvorpå der blev introduceret dead time i systemet, er en ikke særlig præcis metode. Værdien af kondensatoren i systemet er valgt højere end den beregnede, for at være sikker på at der er nok dead time. Er værdien af kondensatoren så faktisk højere i stedet for lavere end den er opgivet til, introduceres der mere dead time, og det introducere mere forvrængning og derved en højere THD.

Da et nyt dead time kredsløb blev designet, til den nye high side driver, blev dette også brugt i stedet for det simple kredsløb i klasse D trinnet. Det resulterede i en mere præcis driver, som havde dead time på begge side af det ene signal.

Forsinket tilkobling af udgangen

Den måde kredsløbets forsinkede tilkobling er designet (beskrevet i appendix C.1) er en meget upræcis måde at lave en forsinket tilkobling. Men på grund af, at der ikke er noget der er afhængig af hvornår noget starter er det en god nok løsning til produktet. Havde man haft behov for højere præcision, havde det været en bedre ide at bruge et digitalt system, med en mikro kontroller.

Tilbagekobling

Oprindeligt var det tænkt at systemet skulle have tilbagekobling. På baggrund af læring blev i starten af projektet dog valgt, at konstruere gate drivere fra bunden. Det viste sig at være mere omfattende end først antaget, hvorfor der ikke også blev lavet tilbagekobling.

Kapitel 11

Konklusion

Hvordan kan man designe en stabil strømforsyning og strømgenerator, der ikke lader sig påvirke af ændringer på elnettet/batteri/etc. og samtidig ikke lader sig påvirke af EMC test?

På grund af projektets omfang, blev der ikke lavet en strømgenerator. Der blev til gengæld lavet en strømforsyning.

I dette projekt blev der valgt at lave et klasse D udgangstrin, med diskrete delsystemer. Projektet tog udgangspunkt i at der blev valgt en half bridge som udgangstopology. Det forventes at det er en stabil strømforsyning, kræver det tilbagekobling som ikke er designet færdig, da det viste sig at være mere omfattende end først forventet at lave diskrete MOSFET drivere.

De diskrete delsystemer som SPWM kredsløb, dead time kredsløb, og driver kredsløb er lavet og eftervist i en prototype, hvor hele systemet er konstrueret uden feedback. Testen af prototypen viser, at de diskrete delsystemer virker som forventet.

Der er beskrevet et parallelt dæmpet LC filter, hvor værdierne er matematisk bestemt. Værdierne for det parallelt dæmpede LC filter, er simuleret i LTSpice som viser at filtret er korrekt dimensioneret. Det parallelt dæmpede LC filter var det filter som var realiserbart og kritisk dæmpet.

Den bedste måde at lave signalet viser sig at være digitalt. I projektet er det lavet med en AD9833, og en Arduino. For at opnå den, i kravet specificerede, præcision viste det sig at analog elektronik ikke var en god løsning. For at skabe et faseforhold på signaldelen, blev et kredsløb baseret på OpAmp's og et RC filter designet. Kredsløbet viste sig at virke som forventet, men fordi det er baseret på temperatur afhængige komponenter blev det designet med mulighed for senere justering.

Så en stabil strømforsyning der ikke lader sig påvirke af ændringer på elnettet, og samtidig ikke lader sig påvirke af EMC test kan konstrueres

som et klasse D udgangstrin med tilbagekobling. Diskrete gate drivere kan konstrueres, eller en færdig driver som IR2110 kan bruges. Udgangsfilteret skal være et parallelt dæmpet LC filter for at, det passer med loaden på $1M\Omega$. Signalet skal leveres digitalt, f.eks. af en AD9833 som vist i projektet, og faseforskydning af signaldelen kan laves analogt med OpAmp, og RC filtre.

Kildeliste

- [1] Wikipedia. *Three-Phase electric power*. URL: https://en.wikipedia.org/wiki/Three-phase_electric_power (bes. 03-09-2020).
- [2] Viswa Prabha. *What is difference between line to line voltage and line to neutral voltage?* URL: <https://www.quora.com/What-is-difference-between-line-to-line-voltage-and-line-to-neutral-voltage> (bes. 2-09-2020).
- [3] Pacific Power. *Single Phase AC Voltage*. URL: <https://pacificpower.com/2017/07/understanding-three-phase-voltage/> (bes. 2-09-2020).
- [4] INTERNATIONAL STANDARD. *Electromagnetic compatibility (EMC) - Part 4-2: Testing and measurement techniques — Electrostatic discharge immunity test*. 2008.
- [5] INTERNATIONAL STANDARD. *Electromagnetic compatibility (EMC) - Del 4.4: Prøvnings- og måleteknikker – Immunitetstest for hurtige transienter/bygetransienter*. 2012.
- [6] INTERNATIONAL STANDARD. *Electromagnetic compatibility (EMC) - Part 4.5: Testing and measurement techniques - Surge Immunity Test*. 2008.
- [7] EMC Fast Pass. „EMC Testing: The beginner’s Guide“. I: 2018. Kap. 3.
- [8] INTERNATIONAL STANDARD. *Electromagnetic compatibility (EMC) - Part 4-18: Testing and measurement techniques - damped oscillatory wave immunity test*. 2019.
- [9] IEEE Standards Association. *IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems*. 2014.
- [10] INTERNATIONAL STANDARD. *Elektromagnetisk kompatibilitet (EMC) – Del 4-7: Prøvnings- og måleteknikker – Generel vejledning om målinger af harmoniske og interharmoniske strømme og spændinger samt instrumentering til strømforsynings-systemer og udstyr knyttet dertil*. 2009.
- [11] European standard. *Cenelec standardspændinger*. 2011.

- [12] URL: <https://circuitdigest.com/tutorial/classes-of-power-amplifier-explained> (bes. 22-09-2020).
- [13] URL: <https://www.pinterest.se/pin/67342956916012186/> (bes. 25-09-2020).
- [14] Eric Gaalaas. *Class D Audio Amplifiers: What, Why, and How*. URL: <https://www.analog.com/en/analog-dialogue/articles/class-d-audio-amplifiers.html> (bes. 05-10-2020).
- [15] Electronics Tutorial. *The MOSFET*. URL: https://www.electronics-tutorials.ws/transistor/tran_6.html (bes. 28-09-2020).
- [16] URL: <http://www.learningaboutelectronics.com/Articles/What-is-the-ohmic-region-of-a-FET-transistor> (bes. 23-09-2020).
- [17] Kendall Su. „Analog Filter Second Edition“. I: Kluwer Academic Publishers, 2002. Kap. 1.2.
- [18] electronicbase. *Low Pass Filter Calculator*. URL: <https://electronicbase.net/low-pass-filter-calculator/> (bes. 28-09-2020).
- [19] Texas Instrument. „LC Filter Design“. I: (2016).
- [20] Laszlo Balogh. *Fundamentals of MOSFET and IGBT Gate Driver Circuits*. URL: https://www.ti.com/lit/ml/slua618a/slua618a.pdf?ts=1602497746949&ref_url=https%5C%253A%5C%252F%5C%252F (bes. 12-10-2020).
- [21] Chrs Francis. *MOSFET Drivers – what are they and why do we need them?* URL: <https://www.powerelectronicstips.com/mosfet-drivers-need/> (bes. 12-10-2020).
- [22] Yuchang Zhang Jason Wang. „Understanding Dead-time based on TPS51225/275/285“. I: ().
- [23] Sang-Hoon Kim. *Sinusoidal PWM technique*. URL: https://www.sciencedirect.com/topics/engineering/sinusoidal-pulse-width-modulation?fbclid=IwAR35n4R3f9rc999LT2Q--zg6AoIfvtK-OR3SkM0omnR7Bh1Aa4mk_01TL9k (bes. 13-10-2020).
- [24] Heybet Kiliç. „MODULATION INDEX AND SWITCHING FREQUENCY EFFECT ON SYMMETRIC REGULAR SAMPLED SPWM“. I: (2017).
- [25] Robin Mitchell. *Build Your Own Negative Voltage Generator*. URL: <https://www.allaboutcircuits.com/projects/build-your-own-negative-voltage-generator/> (bes. 01-12-2020).
- [26] electronic tutorials. *Wien Bridge Oscillator*. URL: https://www.electronics-tutorials.ws/oscillator/wien_bridge.html (bes. 30-09-2020).

- [27] Jim harrison. *Precision capacitors — accurate, stable, long life*. URL: <https://www.electronicproducts.com/precision-capacitors-accurate-stable-long-life/#> (bes. 14-12-2020).
- [28] *XR-2206 Monolithic Function Generator*. 1.04. EXAR. Aug. 2008.
- [29] *Low Power, 12.65 mW, 2.3 V to 5.5 V, Programmable Waveform Generator*. G. Analog Devices. Jan. 2019.
- [30] Electronics-tutorials. *Passive Low Pass Filter*. URL: https://www.electronics-tutorials.ws/filter/filter_2.html (bes. 13-10-2020).
- [31] Michele Sclocchi. „Input Filter Design For switching Power Supplies“. I: (2010).
- [32] Robert W. Erickson. „Optimal Single Resistor Damping Of Input Filters“. I: ().
- [33] Elliot Sounds. *Class D Audio Amplifiers - Theory and Design*. URL: <https://sound-au.com/articles/pwm.htm> (bes. 11-11-2020).
- [34] Infineon Technologies AG. „How to calculate and minimize the dead time requirement for IGBTs properly“. I: ().
- [35] *IRF530, SiHF530*. 91019. VISHAY. Mar. 2011.
- [36] *IR2110(s)PbF/IR2113(S)PbF HIGH AND LOW SIDE DRIVER*. PD60147. International Rectifier.
- [37] *BC546; BC547*. Philips. Nov. 2004.
- [38] *B2N5550 2N5551*. 5. ON Semiconductor. Mar. 2007.
- [39] *IRF9640*. International Rectifier.
- [40] W. Marshall Leach. „Introduction to Electroacoustics and Audio Amplifier Design, Second Edition - Revised Printing“. I: Kendall/Hunt, 2001.
- [41] TOSHIBA. „MOSFET self-Turn-On phenomenon“. I: ().
- [42] Dr. Dušan Graovac. „Parasitic Turn-on of Power MOSFET - How to avoid it?“ I: ().
- [43] Tech Web. *Tips for Practical Use: Gate Driving –Part 2*. URL: <https://techweb.rohm.com/knowledge/sic/s-sic/05-s-sic/7378> (bes. 10-12-2020).
- [44] *5.6A, 100V, 0.54 ohm, N-channel Power Mosfet*. IRF510. 1573.3. InterSil. Jun. 1999.
- [45] *PCB Power Relay - G5LE*. K900-E2-01. Omron.

Bilag A

Journaler

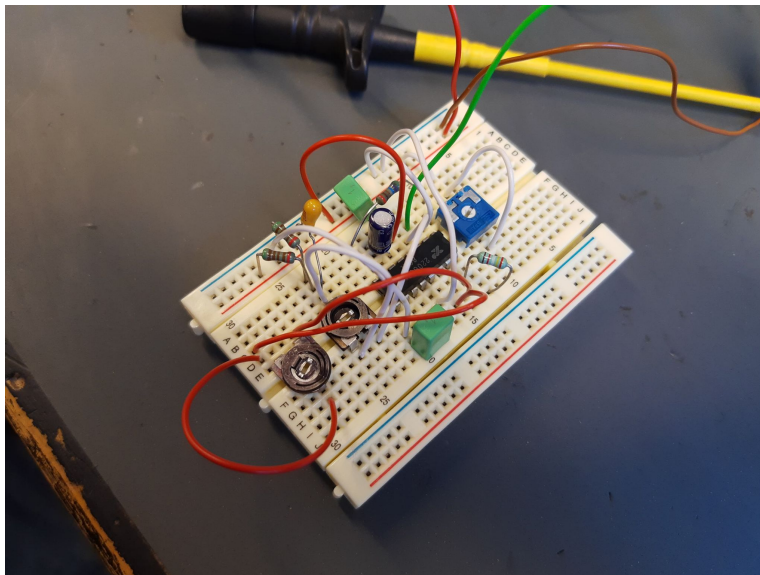
A.1 XR2206

A.1.1 Formål

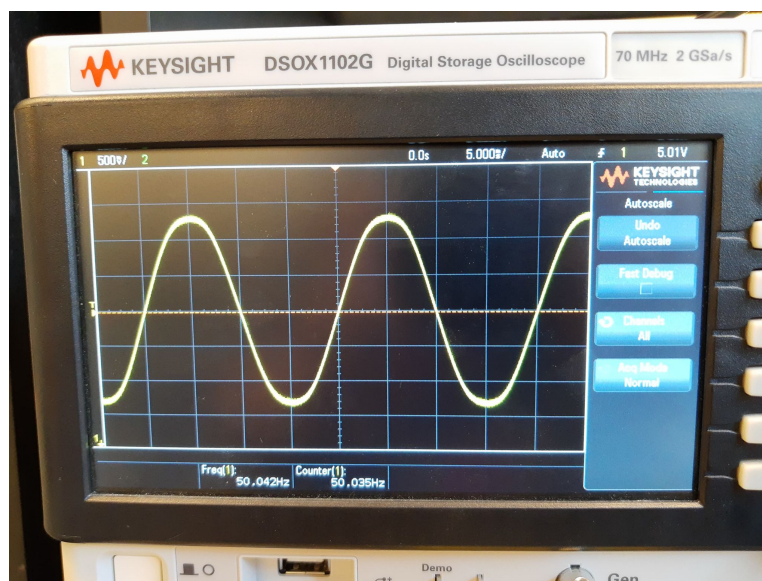
Test fortaget af Magnus og Jacob d. 30-09-2020, fortaget i el lab. Formålet med denne test er at se om en XR2206 kan lave en tilnærmelsesvis korrekt sinus kurve, inden videre arbejde foretages.

Der ønskede ikke at blive set oscillering, eller store afvigelse i frekvens.

Måleopstilling



Figur A.1.1: Måleopsætning af XR2206.



Figur A.1.3: Måleresultat XR2206

A.1.4 Konklusion og usikkerhedsbudget

På målingen ses støj, og en højere afvigelse end kravene sætter. Pga. at systemet er testet på et breadbord, vælger vi at se bort fra støjen, og håber at man kan gøre afvigelsen mindre.

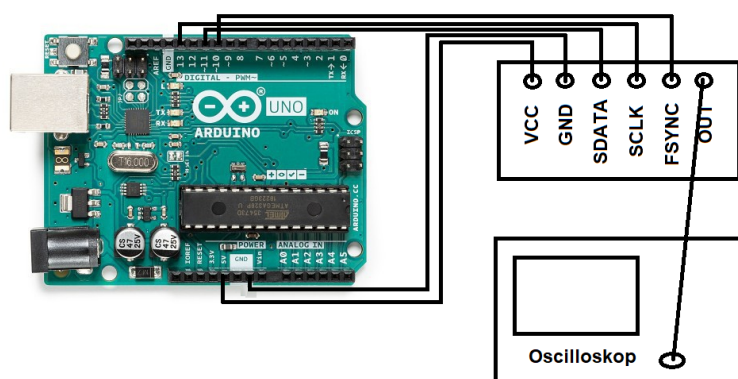
A.2 Målejournel AD9833

A.2.1 Formål

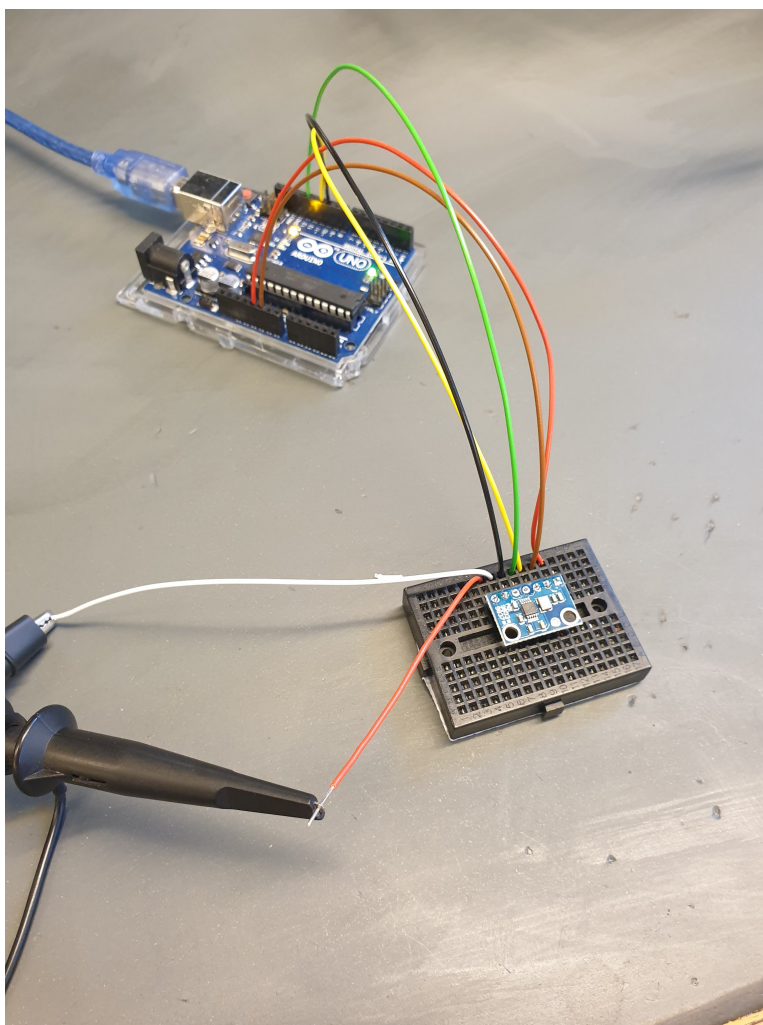
Formålet med denne måling er, at teste om AD9833 kan genere et sinus signal ved 50Hz og overholde kravet i 4.1 på $\pm 1mHz$. Målingen er lavet af Magnus M. Jensen & Jacob Jürgensen d. 27/11-2020. Der er målt på udgangssignalet af AD9833.

A.2.2 Måleprocedure & måleopstilling

Opsæt AD9833 efter anvisning på figur A.2.1:



Figur A.2.1: AD9833 opkobling til Arduino samt oscilloskop.

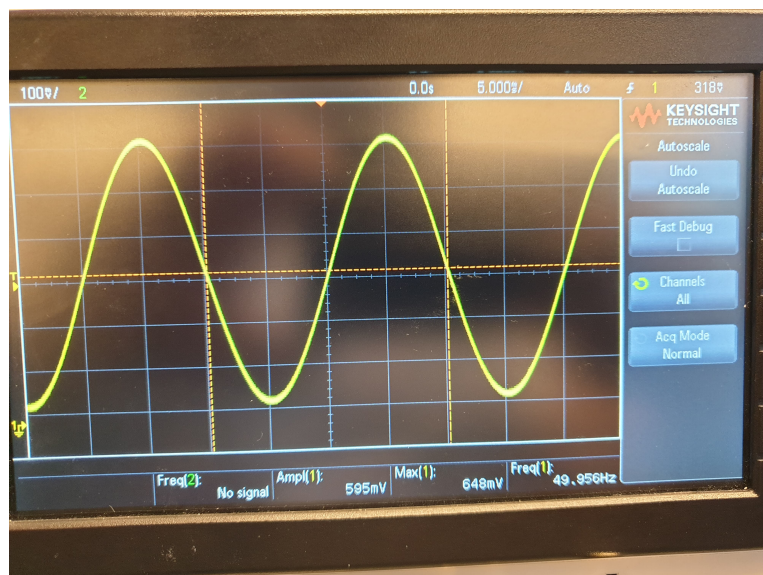


Figur A.2.2: Måleopstilling.

Udstyrsliste

Udstyr	Navn	AAU nr
Oscilloskop	KEYSIGHT DSOX1102G	2180-13

A.2.3 Målereresultater



Figur A.2.3: Måleresultat fra AD9833.

Resultatet viser at AD9833 sender en frekvens ud på mellem 48.99 - 49.85 Hz.

A.2.4 Konklusion og usikkerhedsbudget

Konklusion på denne journal er, at AD9833 ud af boksen ikke kan leve op til kravet på at den ikke må svinge med mere end 1mHz. Dette kræver at der skiftes krystal på den til en 10MHz så vil den efter datablad kunne leve op til stabiliteten.

A.3 Målejournale af komparator

A.3.1 Formål

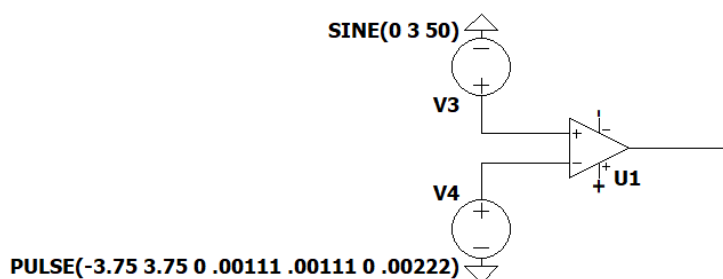
Målingerne er foretaget af Magnus Munk Jensen & Jacob L. Jürgensen d. 11/10-2020.

Formålet med denne målejournale er, at teste om komparatoren sender det forventede PWM signal ud. Samt fastlægge hvad de højeste frekvenser af PWM signalet er.

Der er målt på udgangssignalet af komparatoren som er et PWM signal lavet af et trekant signal samt sinus signal.

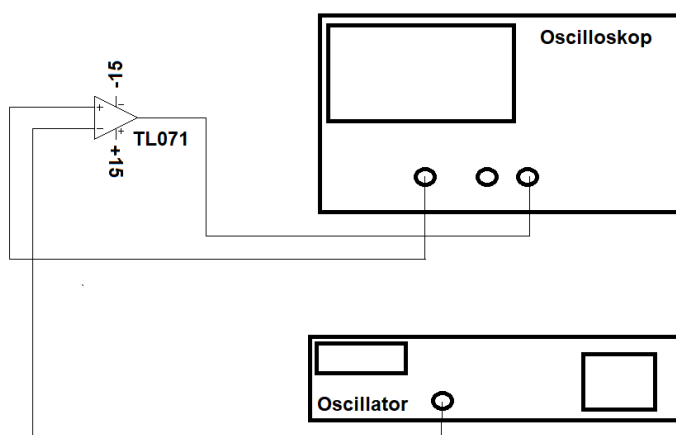
Måleopstilling

På figur: A.3.1 ses diagram over komparator.



Figur A.3.1: Opsætning af komparator system.

Opsætning af testopstilling er som på figur: A.3.1



Figur A.3.2: Forsøgsopstilling af komparator.

Spændinger er som følgende i tabel: A.3.1

Signal	Spænding HØJ	Spænding LAV	Frekvens
Trekant	+3.75V	-3.75V	450Hz
Sinus	+3V	-3V	50Hz

Udstyrsliste

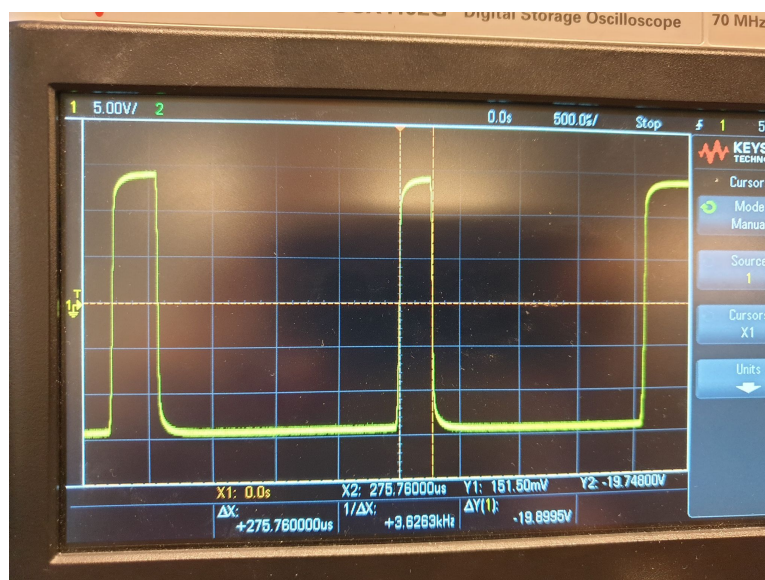
Udstyr	Navn	AAU nr
Oscillator	Bang & Olufsen TG8	08261
Oscilloskop	KEYSIGHT DSOX1102G	2180-13
Laboratorie Strømforsyning	HAMEG HM7042	33902

A.3.2 Måleprocedure

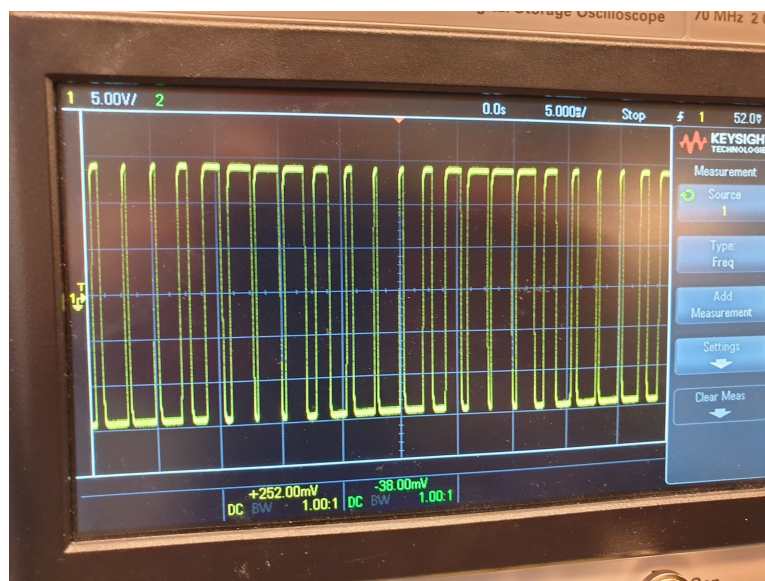
Mål på oscilloskop, hvad frekvensen på output af komparator er.

A.3.3 Måleresultater

Laveste dutycycle findes for, at bestemme højeste frekvens.



Figur A.3.3: Laveste dutycycle ud af komparator.



Figur A.3.4: Output af komparator.

Databehandling

Laveste duty cycle måles til 3.6kHz som kan aflæses på figur: A.3.3. Det kan også ses på figur A.3.3, at der kommer et PWM signal efter komparatoren, som forventet beskrevet i afsnit 7.3.

A.3.4 Konklusion og usikkerhedsbudget

Det kan konkluderes at komparatoren fungerer som forventet. Der kommer et PWM signal ud af komparatoren som forventet fra sinus samt trekant inputtet. Højeste frekvens blev aflæst til 3.6kHz som er den højest switchende frekvens output FET'erne så skal kunne håndtere.

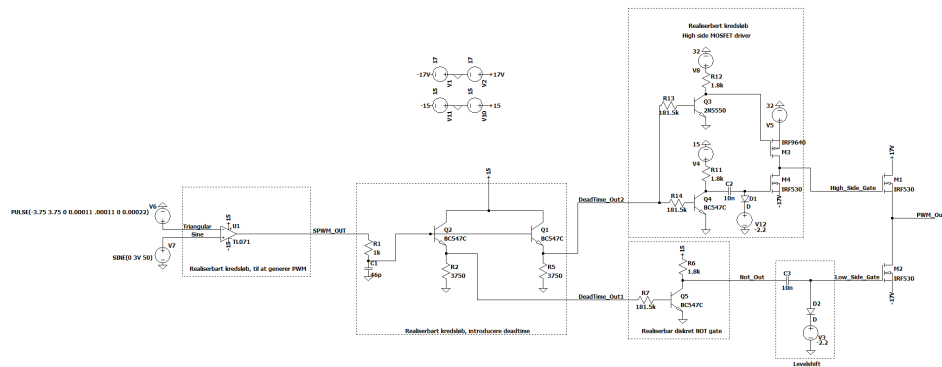
A.4 Open loop klasse D test

A.4.1 Formål

Testen er udført af Jacob Jürgensen, og Magnus Jensen i forbindelse med udarbejdelse af en ESD resistent laboratorie strømforsyning. Testen er udført d. 3/12/2020, på Frederik Bajers vej 7B.

Formålet er at teste en lav spændings prototype af open loop klasse D designet uden et udgangsfiler. Testen skal også vise om de forventede spændinger er efter de forskellige blokke, baseret på LTSpice Simulering.

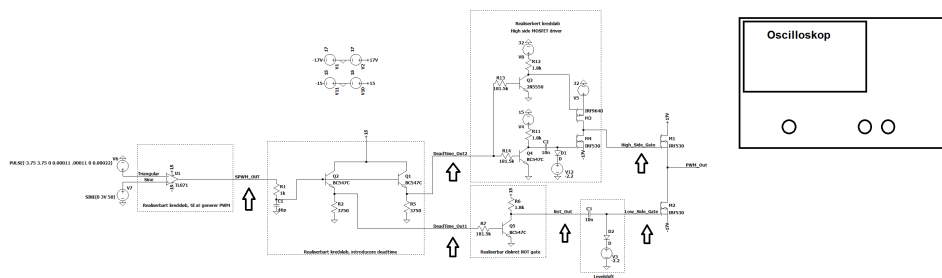
Målingen foretages på en lav spændings prototype, produceret på PCB. Et diagram over systemet er vist på figur: A.4.1.



Figur A.4.1: Diagram over lav spændingsprototype af et open loop klasse D udgangstrin.

Måleopstilling

Måleopstilling som hvor pilene viser målepunkter i systemet.



Figur A.4.2: Måleopstilling for måling af closed loop system.

Udstyrsliste

Udstyr	Navn	AAU nummer
Strømforsyning	Hameg Triple Power Supply HM7042	33877
Strømforsyning	Hameg Triple Power Supply HM7042	33880
Strømforsyning	Hameg Triple Power Supply HM7042	33886
Signal generator	B&O TG8	08261
Oscilloskop	Tektronix TDS 754A	56955

A.4.2 Måleprocedure

Der måles på punkterne,

- SPWM_OUT
- DeadTime_Out1
- DeadTime_Out2
- Not_Out
- Low_Side_Gate
- High_Side_Gate
- PWM_Out

De forventede spændinger er,

	Forventet
SPWM_OUT	$\pm 15V$
DeadTime_Out1	0 – 15V , med et 46ns delay ift. SPWM_OUT
DeadTime_Out2	0 – 15V , med et 46ns delay ift. SPWM_OUT
Not_Out	0 – 15V , inverteret ift. DeadTime_Out1
Low_Side_Gate	$-15V - (-2)V$
High_Side_Gate	$-17V - +32V$
PWM_Out	$\pm 17V$

A.4.3 Målereresultater og databehandling

	Forventet	Målt	Afvigelse %
SPWM_OUT	$\pm 15V$		
DeadTime_Out1	0 – 15V , med et 46ns delay ift. SPWM_OUT		
DeadTime_Out2	0 – 15V , med et 46ns delay ift. SPWM_OUT		
Not_Out	0 – 15V , inverteret ift. DeadTime_Out1		
Low_Side_Gate	$-15V - (-2)V$		
High_Side_Gate	$-17V - +32V$		
PWM_Out	$\pm 17V$		

A.4.4 Konklusion og usikkerhedsbudget

Kortslutning sker i sådan grad, at en reel test ikke er udført.

A.5 Test af High Side Driver, for at finde parasitic turn on

A.5.1 Formål

Testen er udført af Jacob Jürgensen, og Magnus Jensen i forbindelse med udarbejdelse af en ESD resistent laboratorie strømforsyning. Testen er udført d. 16/12/2020, på Frederik Bajers vej 7B.

Formålet med forsøget er, at se om kortslutningen der ses på simulering som følge af parasitic turn on, også forekommer i en virkelig test. Testen er foretaget på en breadboard prototype, af det nye high side driver design.

A.5.2 Måleprocedure

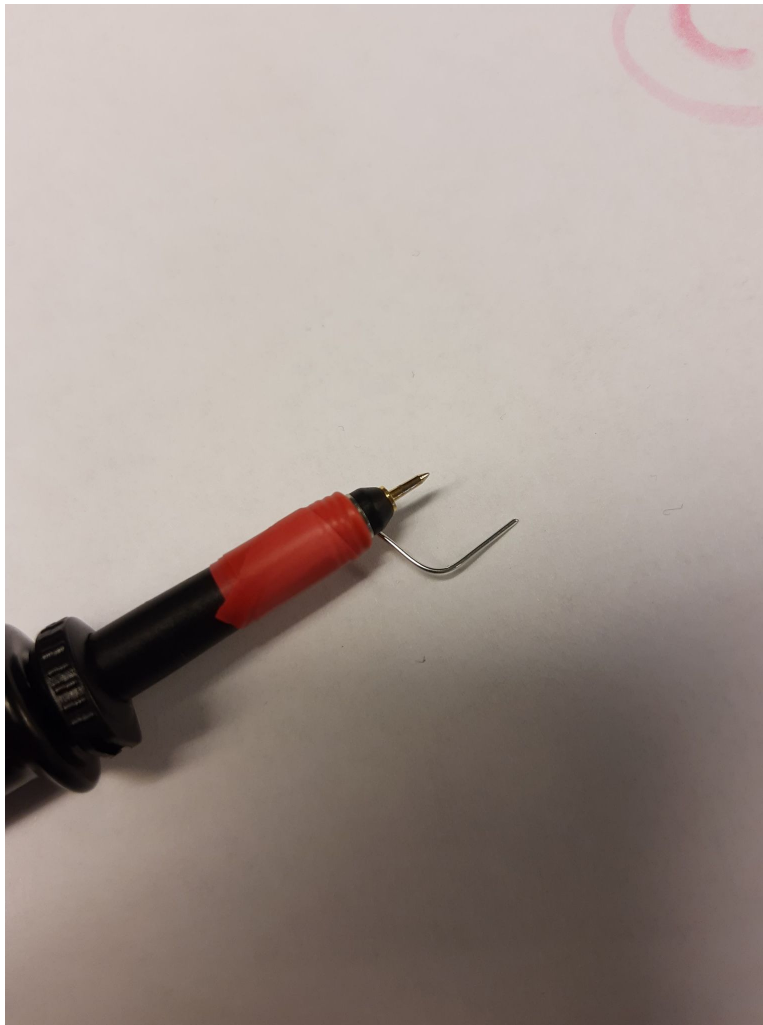
Indstillinger:

- Sørg for at strømforsyning er sat til CO i current indstillingen, da komponenterne ellers brænder af hvis der forekommer parasitic turn on.
- Indstil PWM signal til $\pm 10 - 15V$, med en dutycycle på 50%

Målinger:

- Der måles på gate spændingen, på både N kanal og P kanal MOS-FET'en, for at se om der er parasitic turn on spænding.
- Ydermere ses på strømmen fra 32V forsyningen, som forventes til at vise 5mA på baggrund af at Q2 trækker 10mA i simulering, når output fra den er lav. Input signalet til Q2 har i testen en duty cycle på 50% hvorfor 10mA kan forventes at ses på strømforsyningen. Stiger strømmen, eller slukker strømforsyningen på baggrund af kortslutning forekommer parasitic turn on.

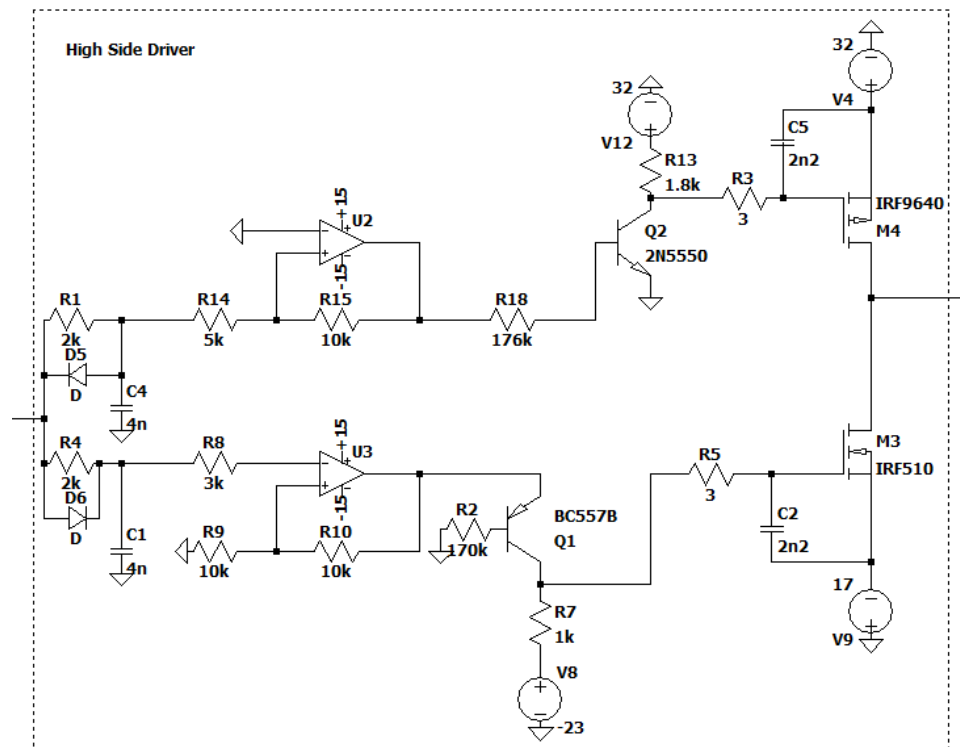
Bemærk at der skal måles med GND tæt på proben, og ikke gennem en ledning! Der er vist en måde at gøre det, på A.5.1



Figur A.5.1: Probe, med kort ground

Måleopstilling

Diagram, med forsyningsspændinger:



Figur A.5.2: Diagram over high side driveren der testes, med forsyningsspændinger

PWM generator sættes på "in", der måles på gaten af M3 og M4.

Udstyrsliste

Udstyr	Navn	AAU nummer
Strømforsyning	Hameg Triple Power Supply HM7042	33877
Strømforsyning	Hameg Triple Power Supply HM7042	33880
Strømforsyning	Hameg Triple Power Supply HM7042	33886
Signal generator	B&O TG8	08261
Oscilloskop	Tektronix TDS 754A	56955

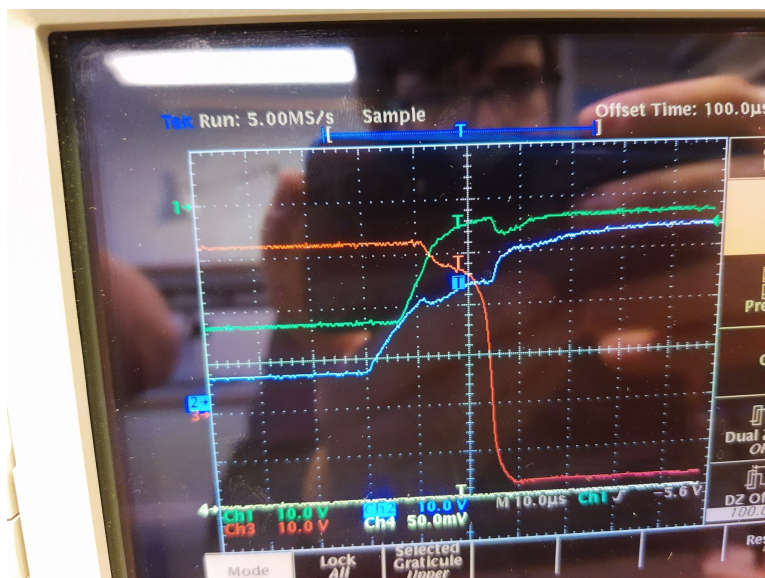
A.5.3 Målereresultater

Måling nr.	Maksimalt målte frekvens	Note
1	5,8kHz	4,7nF
2	6,3kHz	3,9nF
3	7,2kHz	2,7nF
4	8,3kHz	1,8nF
5	9,6k	820pF
6	10kHz	560pF
7	10,6kHz	220pF
8	10,6kHz	68pF
9	10,6kHz	39pF

Databehandling

Målinger på gate-source viser, at det er på grund af parasitic turn on, der sker en kortslutning.

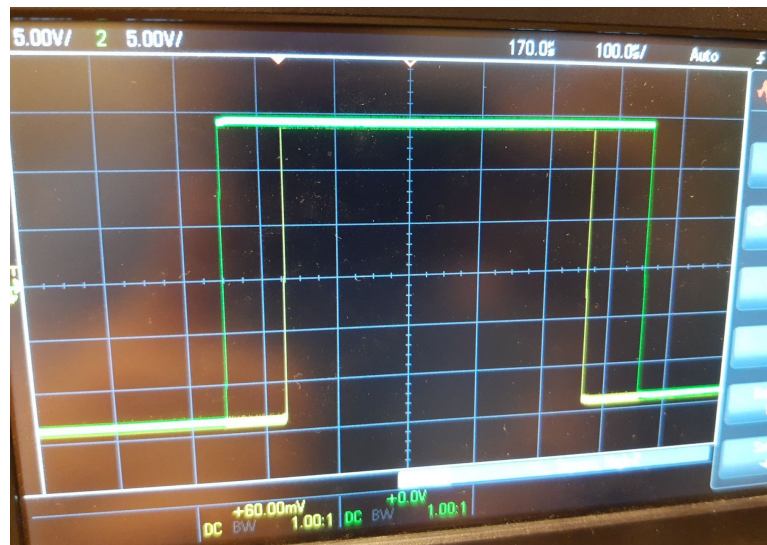
Billede A.5.3 viser på den blå, og grønne kurve gate spændingen på hhv. P og N kanalen, når deadtime er for lille, og gate-source kondensatoren er 2,2nF.



Figur A.5.3: Gate spænding , på high side driver, med 2n2 på gate-source, og for lidt deadtime.

Altså ses tydeligt at der forekommer parasitic turn on spænding på gaten.

Billede A.5.4 viser på den blå, og grønne kurve gate spændingen på hhv. P og N kanalen, når deadtime kondensatoren er 4,7nF.



Figur A.5.4: Gate spænding , på high side driver, med 5n6 på gate-source, og 15nF i deadtime kredsløbet

Der forekommer altså ikke parasitic turn on spænding på de to gates samtidig, og derfor kortslutter systemet ikke.

Kondensatoren i deadtime kredsløbet sænkes , for endeligt at blive 560pF. Bliver værdien højere , så bliver Q1 for langsom, og signalet er ikke pænt firkantet.

A.5.4 Konklusion og usikkerhedsbudget

Der er på baggrund af parasitic turn on, at high side driveren kortslutter. Det er vist at fænomenet kan minimeres i sådan grad, at der ikke sker en kortslutning. Dog er det også vist at frekvensen ind i driveren, ikke kan blive højere end 10k ohm.

A.6 Test af 32V open loop Klasse D spændingsforsyning

A.6.1 Formål

Målingerne er lavet af Magnus M. Jensen & Jacob L. Jürgensen d. 18-12-2020 i el-lab 7b-103.

Formålet med dette forsøg er, at teste om open loop Klasse D spændingsforsyning gør som forventet.

Der er nogle trin som bliver fulgt i måleproceduren for at fastslå om systemet virker som i simulering.

Forsøget er lavet for at teste en prototype lavet på breadboard af designet open loop Klasse D spændingsforsyning i afsnit REF!.

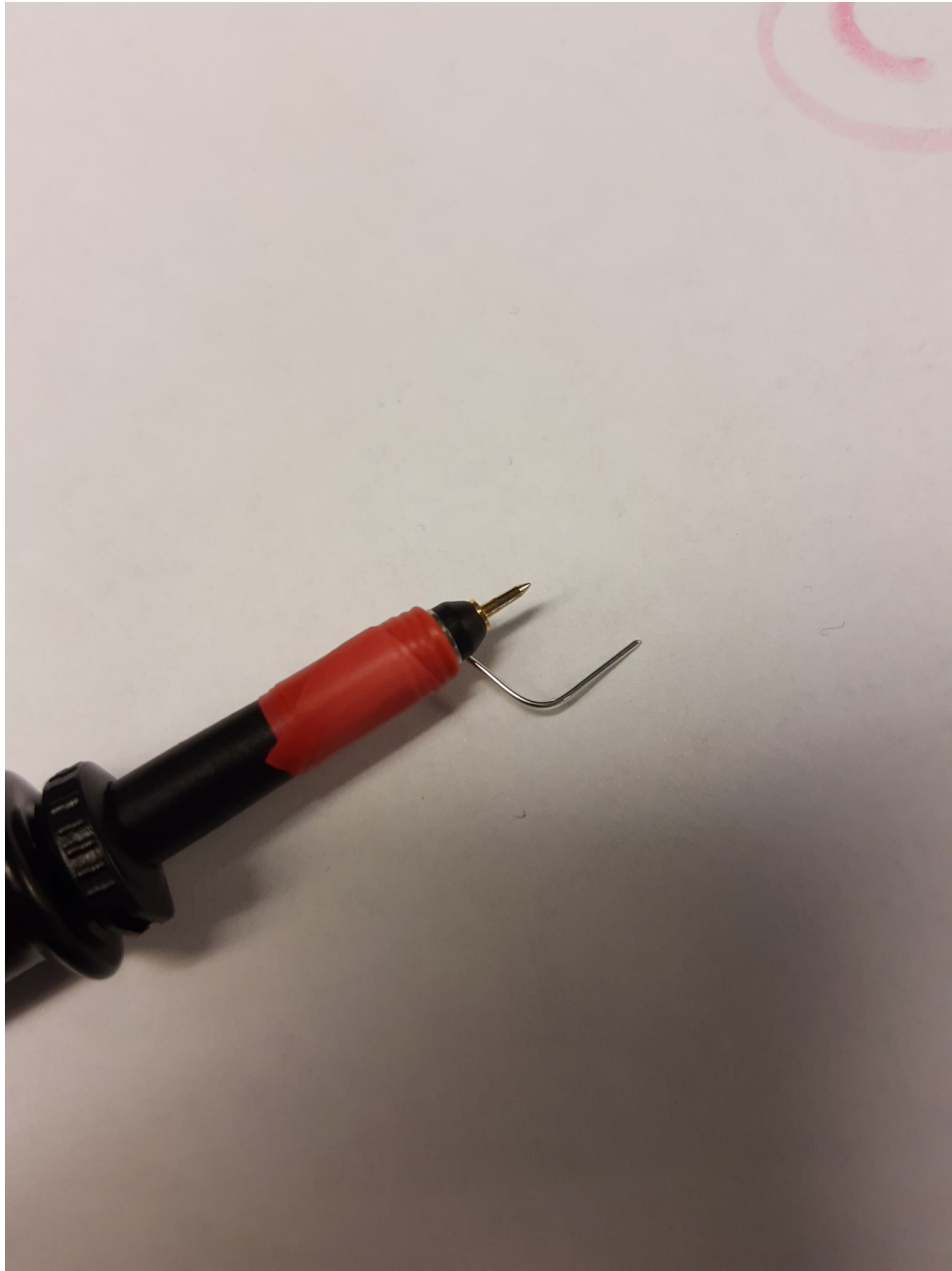
A.6.2 Måleprocedure

- Sørg for at strømforsyning er sat til CO i current indstillingen, da komponenterne ellers brænder af hvis der forekommer parasitic turn on!
- Indstil PWM signal til $\pm 10 - 15V$, med en dutycycle på 50%

Målinger:

- Der måles med oscilloskop på DeadTimeOut1 og DeadTimeOut2 det forventes at den ene dead time er inverteret med PWM ud på $\pm -15V - > 15V$.
Der måles ved 4kHz.
Der forventes at være en tydelig periode, hvor det ene signal er lav, og det andet er højt, før de begge er høje.
- HighSideOut. Der forventes PWM signal hvor der måles fra lav til høj $-23V - i 32V$.
- LowSideOut, der forventes at der måles $-23V - i -6,5V$
- Out. der forventes at måle $-17V - i 17V$

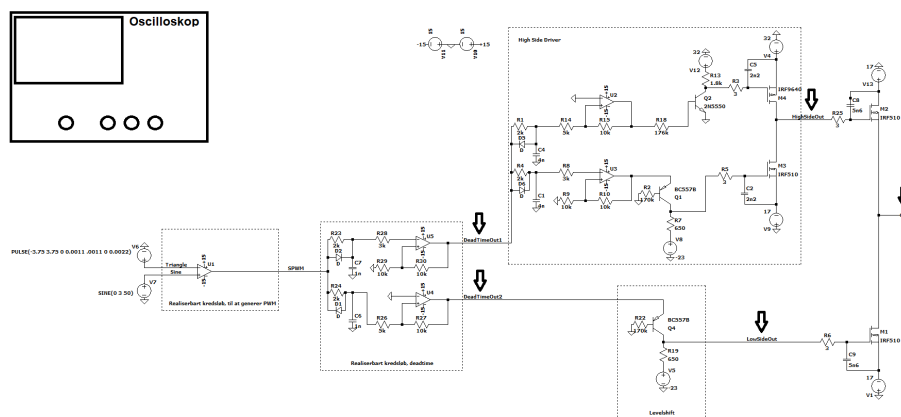
Bemærk at der skal måles med GND tæt på proben, og ikke gennem en ledning! Der er vist en måde at gøre det, på A.6.1



Figur A.6.1: Probe, med kort ground.

Måleopstilling

Opsstil som på figur A.6.2, med angivne spændinger og mål hvor pilene er.



Figur A.6.2: Måleopstilling af test med Klasse D spændingsforsyning.

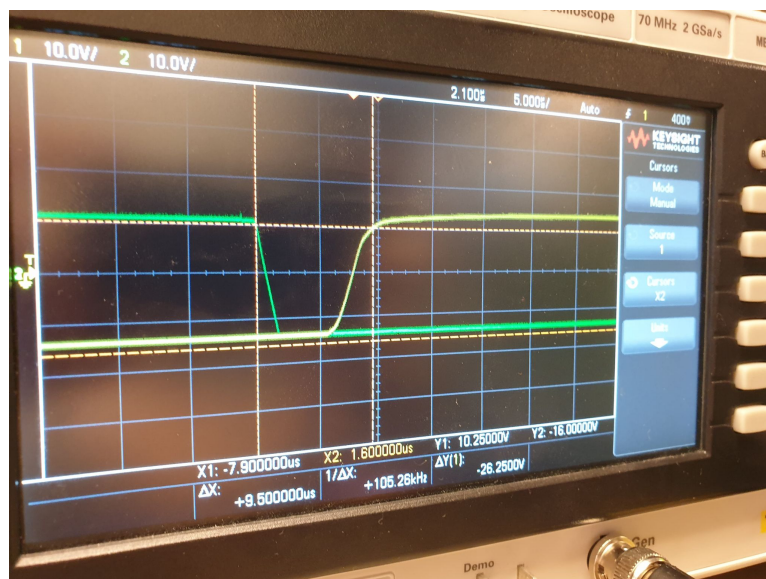
Udstyrsliste

Udstyr	Navn	AAU nummer
Strømforsyning	Hameg Triple Power Supply HM7042	33877
Strømforsyning	Hameg Triple Power Supply HM7042	33880
Strømforsyning	Hameg Triple Power Supply HM7042	33886
Signal generator	B&O TG8	08261
Oscilloskop	Tektronix TDS 754A	56955

A.6.3 Målereresultater

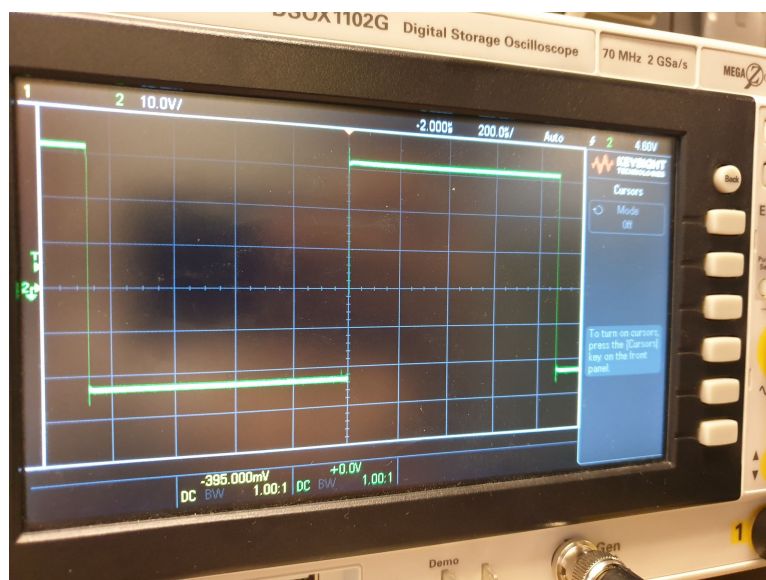
	Note 1	Note 2	Målt spænding
DeadtimeOut1 / 2	Målt deadtime: 9,5uS	820pF deadtime kondensator	+ - 14V
HighSideOut		820pF	-23,5 -> 32V
LowSideOut			-7,3 -> -23
Out			-17 -> 17

Oscilloskop måling af deadtime



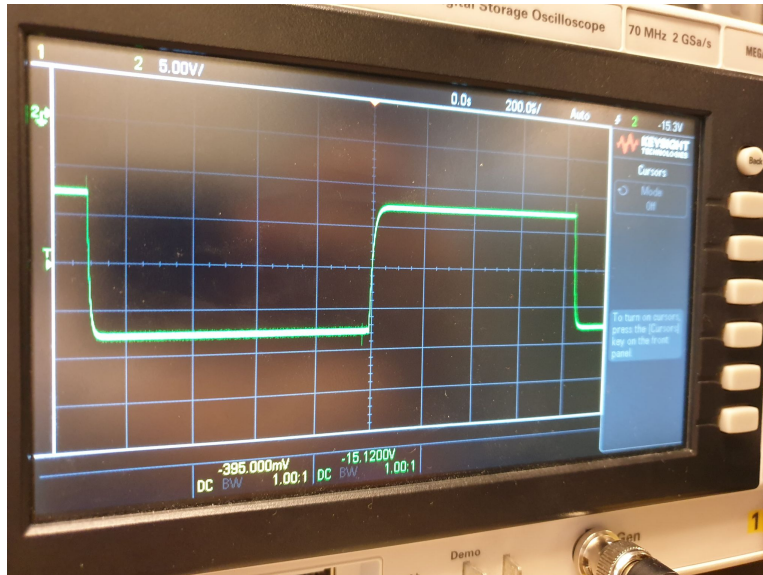
Figur A.6.3: Måling på deadtime, det kan ses at deadtiden er $9,5\mu\text{s}$.

Oscilloskop måling af high side driver



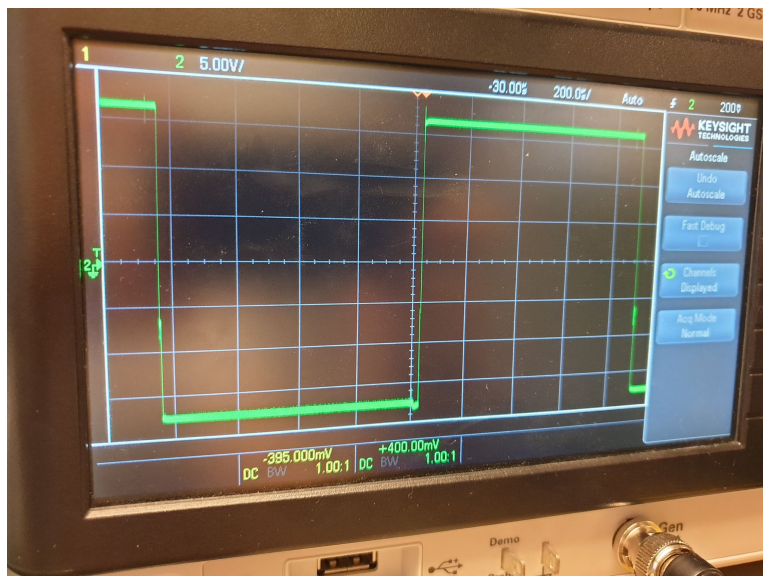
Figur A.6.4: Måling af high side driver output, målt til -23 - $\hat{c}$ 32V.

Oscilloskop måling af low side driver



Figur A.6.5: Måling af low side driver output, målt til -23 - $\bar{i}$ -7V.

Oscilloskop måling af udgang



Figur A.6.6: Måling på udgangen af switching trinnet, målt fra -17V - $\bar{i}$ 17V.

A.6.4 Konklusion og usikkerhedsbudget

Alle måle punkter, målte fuldstændig som forventet. Derved kan det konkluderes at switching trinnet, uden et LP filter virker som beregnet og simuleret.

Bilag B

Forsyningsspænding til spændingsgenerator

B.1 Spændingsforsyning til udgangstrinnet

I følgende afsnit ses på designet af spændingsforsyningen, til spændingsgeneratoren. Strømforsyning designs før selve klasse D udgangstrinnet, for at kunne lave beregninger, og bestemme komponenter med reelle værdier.

B.1.1 Nødvendig forsyningsspænding

Udgangsspændingen på spændingsforsyning er fra 4.1 bestemt til $100V_{LL}$, hvilket giver $V_{LN} = \frac{100}{\sqrt{3}} \approx 58V$.

En ideel klasse D forstærker har en effektivitet på 100%, men i virkeligheden vil der være et spændingsfald over MOSFET'en. En tilfældig MOSFET har en drain-source modstand på $0,54\Omega$ [44]. Det betyder at påvirker man den med en $5.6A$ load (maks for den valgte mosfet!), vil der være et spændingsfald over MOSFET'en:

$$\begin{aligned} U &= R \cdot I \\ &= 0,54 \cdot 5,6 \\ &= 3V \end{aligned} \tag{B.1.1}$$

Effektiviteten vil da afhænge af forsyningsspændingen, men antager man den er 60V, fås en effektivitet på:

$$\begin{aligned} eff &= 100\% - \left(\frac{U_{loss}}{U_{supply}} \cdot 100\% \right) \\ eff &= 95\% \end{aligned} \tag{B.1.2}$$

En sikkerhedsmargen tilføjes, og der regnes med 90% effektiv for udgangstrinnet.

Det betyder at udgangstrinnet skal forsynes med en spænding på,

$$\begin{aligned}
 U_{Udgangstrin} &= \frac{U_{LN}}{90\%} \\
 &= \frac{\frac{100V_{LL}}{\sqrt{3}}}{0,9} \\
 &= 64,15V \approx 65V
 \end{aligned}
 \tag{B.1.3}$$

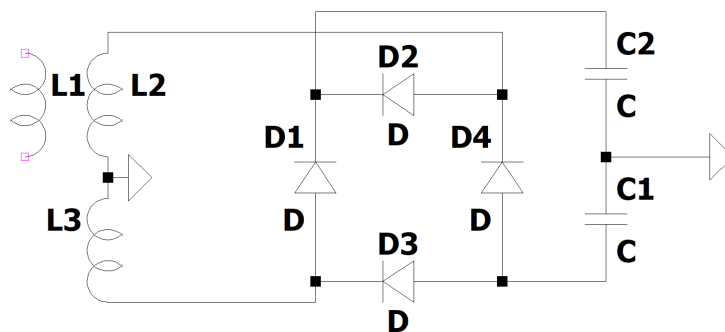
Ydermere skal der tages hensyn til at det er RMS, så

$$U_{UdgangstrinPeak} = 65 \cdot \sqrt{2} = 91,9 \approx 92V \tag{B.1.4}$$

For at få en mere passende trafo værdi vælges at forsyne med 100V.

B.1.2 Trafo

Forsyningsspændingen til klasse D trinnet, laves med en trafo, diodebro, og udglatningsfilter,



Figur B.1.1: Ensretter, og udglatning

Vi ved at,

V+ : 100V

V- : -100V

I : 1A fra 4.1

For at kunne tillade en højere ripple ønskes

$$V_{efterdiodebro} = 110V$$

Hvilket betyder at når der tages højde for spændingsfaldet over dioderne, skal

$$V_{sekundaer} = 110V + 1,4V \approx 112V$$

Fra 5.1.1, vides det at elnettet varierer med 10% [11]. Det betyder at,

$$V_{ElNet} > 230V \cdot 90\% = 207V \quad (\text{B.1.5})$$

Derfor kan forholdet mellem antal viklinger bestemmes,

$$\begin{aligned} V_{Sek} \cdot n &= V_{elnet} \\ 102 \cdot n &= 207 \\ n &= 2,03 \end{aligned}$$

Størrelsen af trafoen i VA bestemmes som,

$$\begin{aligned} P &= U \cdot I \approx E[VA] \\ 58V \cdot 1A &= 58W \end{aligned}$$

Den skal trække 3 faser, og 100% sikkerhedsmargen giver,

$$E[VA] = 58W \cdot 3 \cdot 2 = 348W \approx 350VA$$

Pga. 100% sikkerhedsmargen vil tabet i trafo, og andre komponenter ikke have indvirkning på om størrelsen er nok.

B.1.3 Udglatning

Spændingen efter diodebroen er 110V

Den maksimale strøm er 3A (3 x 1A).

Den maksimale ripple er 10V (for at $U > 100V$)

Kondensator størrelsen kan derfor bestemmes,

$$V_{PP} = \frac{I}{2 \cdot f \cdot C} \quad (\text{B.1.6})$$

hvor,

V_{PP} er maks. ripple

I er den maksimale strøm, der regnes med en sikkerhedsmargen på 2

f er frekvensen

C er kondensator størrelsen.

så,

$$\begin{aligned} 10 &= \frac{3 \cdot 2}{2 \cdot 50 \cdot C} \\ C &\approx 6000\mu F \end{aligned} \quad (\text{B.1.7})$$

Bilag C

Forsinket tilkobling af udgangen

C.1 Forsinket tilslutning af udgangen

For at lade filtret stabilisere, før spændingen tilsluttes nogle apparater indføres forsinket tilkobling af udgangen.

En simpel måde at gøre dette på er ved at udgangen er frakoblet med et relæ, BJT, eller en FET. Tilkobling af relæ, BJT eller FETen sker så efter et stykke tid, og derved er der forbindelse til udgangen, og det tilsluttede apparat.

Der ses i følgende afsnit på de tre nævnte måde at afbryde et signal, og på hvordan det bliver tilsluttet igen, med et delay.

C.1.1 relæ, BJT eller FET?

Både et relæ, en BJT eller en FET kan fungere som en ”knap” der afbryder og tilslutter en spænding.

En relæ gør det ved at en spænding påtrykkes en spole som fungerer som elektromagnet, der vha. magnetisme tiltrækker en knap, som ”lukker” ledningen så strøm kan løbe igennem den.

En FET er en spændingsstyret transistor, så derfor kan den afkoble, eller tilkoble strømmen over drain og source. En ideel FET har en modstand på nul ohm over drain, og source - men en reel FET vil have en modstand.

En BJT er en strømstyret transistor, som derved kan afkoble, eller tilkoble en strøm over source og emitter. En BJT har et spændingsfald over source og emitter.

På grund af at der vil være et spændingsfald over en FET, og en BJT vælges der videre at se på hvordan man kan bruge et relæ til at lave forsinket tilkobling.

C.1.2 Hvordan forsinkes tilkoblingen?

En strøm skal løbe gennem spolen, på relæet for at relæet kan lukke og en strøm kan løbe på kontakt siden. Det er altså spændingen på spolen man

skal kunne "forsinke" i forhold til hvornår system bliver tændt.

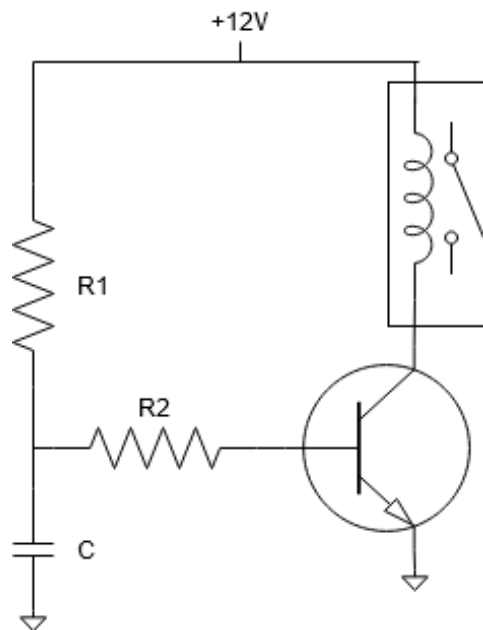
Det nemmeste vil være at gøre det digitalt, med en mikro controller, eksempelvis en Arduino. Fordi hovedfokus i dette projekt er hardware, vælges dog ikke at gå videre med denne løsning.

I stedet ses på samme princip som i deadtime, med et RC led. En BJT, eller en MOSFET kan levere den nødvendige strøm over spolen, derfor bruges sådan en som buffer.

Et omron G5LE-1A relæ vælges, da det er et billigt effektrelæ. Det kan holde til 250V AC, og 10A - altså meget mere end der vil være på udgangen [45].

Om det er bedst at bruge en MOSFET, eller en BJT er ikke noget der kan konkluderes på. G5LE-1A har en modstand i spolen på 205Ω , så ved 12V trækkes der en strøm på under $60mA$. På grund af strømmen er så lav, og spændingsfald over emitter-source er ligegyldigt designes på baggrund af en BJT.

En skitse af princippet der vil designes er vist på C.1.1,



Figur C.1.1: Diagram der viser hvordan forsinket tilkobling skal ske.

C.1.3 Bestemmelse af størrelser

Fra databladet vides at relæet trækker,

$$I_{\text{spole}} = 58,3mA \text{ [45].}$$

Fra diagrammet C.1.1 kan ses at

$$I_{\text{spole}} = I_{\text{collector}}$$

Der bruges en BC547, som har H_{fe} på 110. Det giver en basestrøm, og derved basemodstand på,

$$I_{\text{base}} = \frac{58,3mA}{110} = 5,4 \cdot 10^{-4}$$
$$R_{\text{base}} = \frac{12 - 0,7}{5,4 \cdot 10^{-4}} = 21k$$

Basemostanden tilsvare R1 + R2, og R1 vælges til 1k, altså bliver R2 20k.

Fordi at det ikke er vigtigt præcis hvornår at udgangen tilsluttes vælges en kondensator værdi på $1000\mu F$, uden videre beregning.

Pga. relæet ikke kan simuleres i LTspice, simuleres systemet ikke.

Bilag D

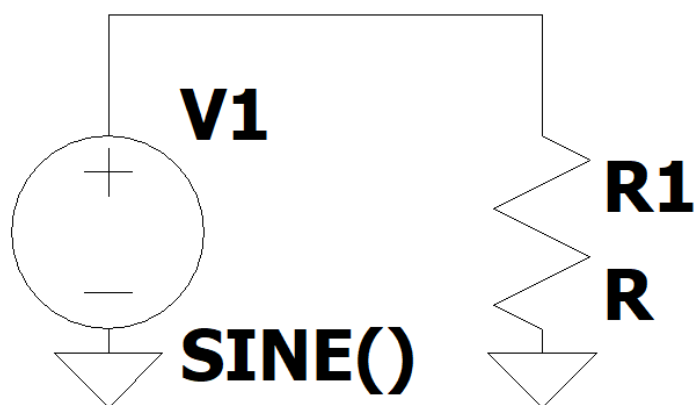
Konstantsstrømsgenerator

D.1 Konstantsstrømsgenerator

Der vil i følgende afsnit blive beskrevet flere forslår til hvordan en konstantstrømsgenerator kan designes.

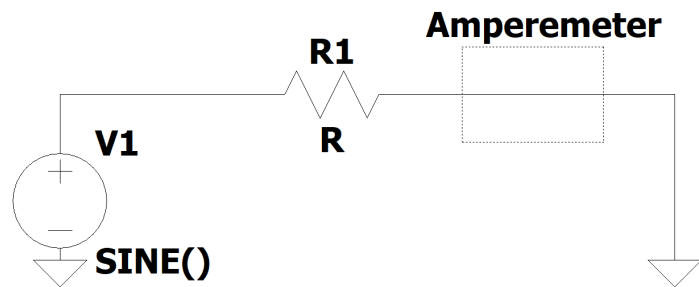
D.1.1 Konstantsstrømsgenerator med en modstand

Den simpleste måde at lave en konstantsstrømsgenerator på er ved at tage en effektmodstand i serie med forsyningsspændingen,



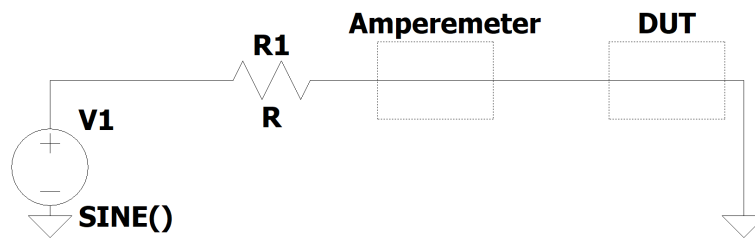
Figur D.1.1: Den simpleste konstantstrømsgenerator.

sætter man et amperemeter i serie hermed vil man kunne opnå en præcis RMS måling på den beregnede værdi, forudsat at $R_{AmpereMeter} \ll R$,



Figur D.1.2: Forsat den simpleste konstantsstrømgenerator.

Sætter man så også en DUT ind,



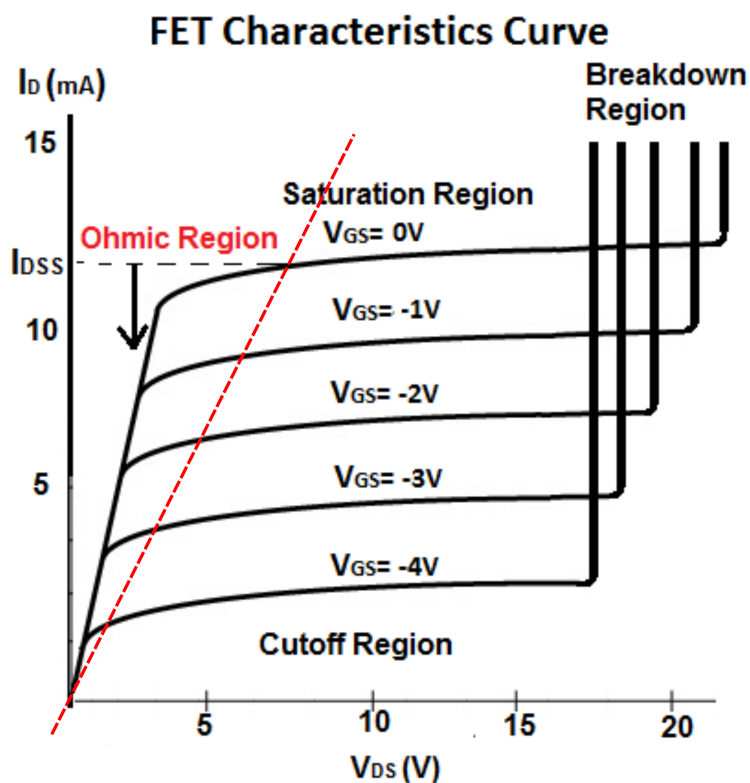
Figur D.1.3: Forsat den simpleste konstantsstrømgenerator, nu med DUT.

kan man opleve at strømmen ikke længere er den beregnede, pga. DUT'en påvirker systemet med en ohmsk værdi, som ikke nødvendigvis er meget mindre end R .

D.1.2 Konstantsstrømgenerator med en FET i stedet for en modstand

Forestiller man sig i stedet at modstanden er variabel, på baggrund af hvad der bliver tilsluttet vil man kunne være sikker på at udgangsstrømmen forsat er konstant.

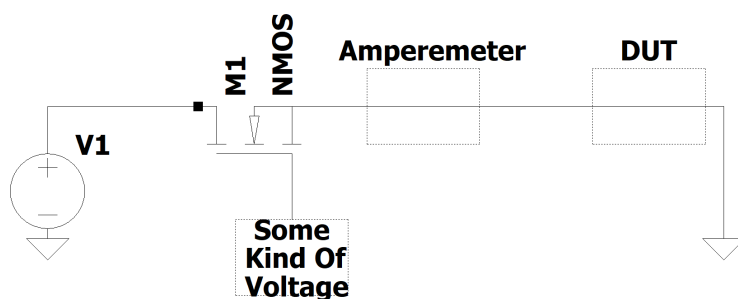
Fra tidligere projekt vides det at en DC konstantstrømgenerator kan laves med en MOSFET, som man lader arbejde i det ohmske område. Man ville også kunne bruge en BJT, men en MOSFET er spændingsstyret, i stedet for den strømstyret BJT. For ikke at skulle lave det strømstyret, forsættes med en MOSFET. Det ohmske område på en MOSFET er i det gate-source spændingsområde der er før saturation,



Figur D.1.4: Viser det ohmske område for en MOSFET [16].

så er gate-source spændingen mindre end saturationspændingen (oftest opgivet i databladet), kan en MOSFET agere modstand.

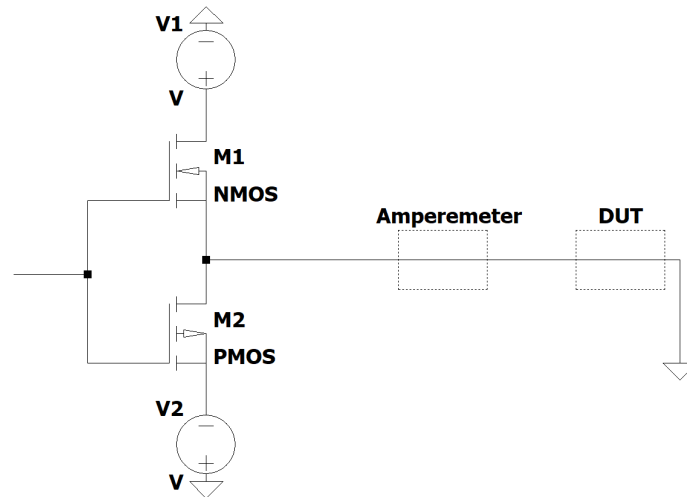
Sætter man en MOSFET ind, i stedet for en modstand som tidligere vil det se sådan her ud,



Figur D.1.5: En simpel skitse af en DC konstantstrømsgenerator.

hvor hvis man holder "Some Kind Of Voltage" konstant vil man have samme system som aller først beskrevet ved D.1.1. Men en enkelt MOSFET kun tilsluttet en positiv forsyning vil selvfølgelig ikke fungere som AC,

hvorfor der må skulle to til,



Figur D.1.6: En simpel skitse af en AC konstantstrømsgenerator.

hvor den ene MOSFET så vil sørge for den positive halv cyklus af sinus signalet, og den anden vil sørge for den negative halv cyklus.

I stedet for at "Some Kind Of Voltage" er konstant, vil den være strømstyret via tilbageløb, hvorfor at man kan holde strømmen konstant.

Der kan ikke findes noget dokumentation på denne måde at gøre det, hvorfor at dette er eksperimentielt og det er ikke sikkert at det kommer til at virke.

D.1.3 Konklusion

Udover metoden beskrevet i D.1.2 kan andre typer af konstantstrømsgenerator design være en Current Pump, eller Automatic Gain Control. Der arbejdes i første omgang ikke videre med disse, men i stedet arbejdes med at forsøge at bruge MOSFET, for det eksperimentielle heri.